

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-083894  
 (43) Date of publication of application : 22. 03. 2002

---

(51) Int. Cl.

H01L 23/12  
 G06K 19/07  
 G06K 19/077

---

(21) Application number : 2001-167022

(71) Applicant : HITACHI MAXELL LTD

(22) Date of filing : 01. 06. 2001

(72) Inventor : KIKUCHI YUJI  
 KISHIMOTO SEIJI  
 NAKAGAWA KAZUNARI  
 HINO YOSHIHARU

---

(30) Priority

Priority number : 2000186409 Priority date : 21. 06. 2000 Priority country : JP

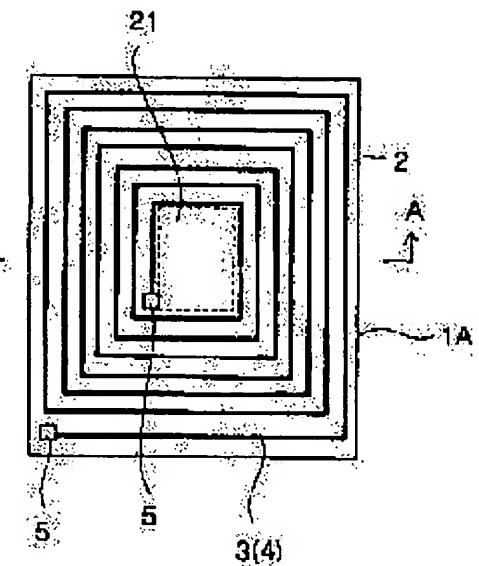
---

(54) SEMICONDUCTOR CHIP AND SEMICONDUCTOR DEVICE USING IT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor chip of integral rewiring layer which is hard to cause malfunction due to noise and deterioration of transmission characteristic, and also to provide a semiconductor device with good transmission characteristic.

SOLUTION: A rewiring layer 3 is formed on a circuit forming plane 1a via an insulating layer 2, and an antenna coil 4 is formed by rewiring layer 3. Antenna coil 4 is formed near an analog circuit 21, not in or to circuit 21 itself, which is formed on circuit forming plane 1a. Analog circuit 21 can be an integration of all analog circuits to be formed on a semiconductor chip 1A, or one of a power circuit, an operational amplifier, a comparative amplifier, an RF receiver, an RF sender and an RF synthesizer, and an analog circuit that is easy to be affected by noise as a voltage rising circuit or an amplifying circuit constituting a part of a memory part, or it can be a coil constituting a part of the analog circuits to be formed in semiconductor chip 1A.




---

LEGAL STATUS

[Date of request for examination] 26. 09. 2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3377786

[Date of registration] 06. 12. 2002

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-83894

(P2002-83894A)

(43)公開日 平成14年3月22日(2002.3.22)

(51)Int.Cl.  
H 01 L 23/12

識別記号  
3 0 1

F I  
H 01 L 23/12

テ-71-ト\*(参考)  
3 0 1 C 5 B 0 3 5

5 0 1

5 0 1 P  
5 0 1 S

G 06 K 19/07

G 06 K 19/00

N

審査請求 未請求 請求項の数10 O.L (全14頁) 最終頁に統く

(21)出願番号 特願2001-167022(P2001-167022)

(71)出願人 000005810

日立マクセル株式会社  
大阪府茨木市丑寅1丁目1番88号

(22)出願日 平成13年6月1日(2001.6.1)

(72)発明者 菊地 裕二

大阪府茨木市丑寅1丁目1番88号 日立マ  
クセル株式会社内

(31)優先権主張番号 特願2000-186409(P2000-186409)

(72)発明者 岸本 清治

大阪府茨木市丑寅1丁目1番88号 日立マ  
クセル株式会社内

(32)優先日 平成12年6月21日(2000.6.21)

(74)代理人 100078134

弁理士 武 順次郎

(33)優先権主張国 日本 (JP)

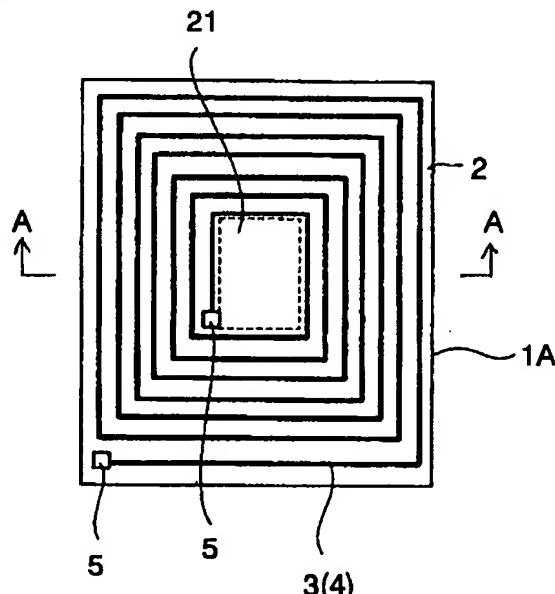
最終頁に統く

(54)【発明の名称】 半導体チップ及びこれを用いた半導体装置

(57)【要約】

【課題】 ノイズによる誤作動や通信特性の劣化を生じ  
にくい再配線層一体形の半導体チップを提供すること、  
通信特性が良好な半導体装置を提供すること。

【解決手段】 絶縁層2を介して回路形成面1a上に再  
配線層3を形成し、当該再配線層3をもってアンテナコ  
イル4を形成する。アンテナコイル4は、回路形成面1  
aに形成されたアナログ回路21を避けて、その周辺部  
分に形成する。アナログ回路21は、半導体チップ1A  
に形成されるべき全てのアナログ回路を集約化したもの  
であっても良いし、例えば前記電源回路、演算増幅器、  
比較増幅器、R F受信部、R F送信部及びR Fシンセサ  
イザ部、それにメモリ部の一部を構成する電圧昇圧回路  
や増幅回路などのようにノイズの影響を特に受けやすい  
アナログ回路の1つであっても良い。また、半導体チッ  
プ1Aに形成されるアナログ回路の一部に備えられたコ  
イルであっても良い。



## 【特許請求の範囲】

【請求項1】 絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成されたアナログ回路の全部又は一部と前記再配線層とを前記絶縁層を介して重なり合わないように配列したことを特徴とする半導体チップ。

【請求項2】 絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと前記再配線層とを前記絶縁層を介して重なり合わないように配列したことを特徴とする半導体チップ。

【請求項3】 絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成されたコイルと前記再配線層とを前記絶縁層を介して重なり合わないように配列したことを特徴とする半導体チップ。

【請求項4】 請求項1乃至請求項3のいずれかに記載の半導体チップにおいて、前記再配線層をもって、両端が前記回路形成面に形成された入出力端子に接続された非接触通信用のアンテナコイルを形成したことを特徴とする半導体チップ。

【請求項5】 請求項1乃至請求項3のいずれかに記載の半導体チップにおいて、前記再配線層をもって、一端が前記回路形成面に形成された入出力端子に接続され、他端にバンプが形成されたバンプ設定用配線を形成したことを特徴とする半導体チップ。

【請求項6】 請求項1乃至請求項5のいずれかに記載の半導体チップにおいて、前記回路形成面に形成された回路が、CMOS技術により形成された無線通信回路であることを特徴とする半導体チップ。

【請求項7】 請求項1乃至請求項6のいずれかに記載の半導体チップにおいて、前記回路形成面に形成された回路が、外部装置との間で800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路であることを特徴とする半導体チップ。

【請求項8】 所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形成面に形成されたアナログ回路の全部又は一部と前記再配線層とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載したことを特徴とする半導体装置。

【請求項9】 所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか

1つと前記再配線層とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載したことを特徴とする半導体装置。

【請求項10】 所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形成面に形成されたコイルと前記再配線層とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載したことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、絶縁層を介して回路形成面上に再配線層が一体に形成された半導体チップと、当該半導体チップを搭載した半導体装置とに係り、特に、前記再配線層の配列に関する。

## 【0002】

【従来の技術】半導体チップが搭載されたカード形、タグ形又はコイン形などの半導体装置は、豊富な情報量と高いセキュリティ性能を備えていることから、交通、流通及び情報通信等の分野で普及が進んでいる。中でも、近年開発された非接触通信式の半導体装置は、基体に外部端子を設げず、リーダライタからの電力の受給とリーダライタとの間の信号の送受信とを無線によって行うので、接触式の半導体装置のように外部端子の損壊ということが本質的ではなく、保存等の取り扱いが容易で長期間の使用に耐え、かつ、データの改ざんが行われにくくより一層セキュリティ性能に優れるという特徴を有しております。今後より広範囲な分野への普及が予想されている。

【0003】従来より、この種の非接触式半導体装置に搭載される半導体チップとしては、外部装置からの電源の受給及び外部装置との間の信号の送受信を非接触で行うための非接触通信用のアンテナコイルを有しないものが用いられていたが、近年、図16及び図17に示すように、絶縁層2を介して回路形成面上に再配線層3が形成され、当該再配線層3をもってアンテナコイル4が一体に形成されたコイルオンチップタイプの半導体チップ1が提案されている。

【0004】コイルオンチップタイプの半導体チップ1を用いると、アンテナコイルを別途用意する必要がなく、アンテナコイルと半導体チップとの接続や当該接続部の保護処理等が不要になるので、非接触式半導体装置の製造を容易化でき、その低コスト化を図ることができる。

【0005】また、近年においては、非接触式又は接触式を問わず、半導体装置に搭載される半導体チップとして、図18及び図19に示すように、外周に沿って複数個の入出力端子(パッド)5が形成された半導体チップの回路形成面に絶縁層2を介して再配線層3が形成され、当該再配線層3をもって、一端が前記入出力端子5

に接続され、他端にバンプ7が形成され、半導体チップの全面にレイアウトされたバンプ設定用配線6が形成されたチップスケールパッケージ（以下、「CSP」と略称する。）タイプの半導体チップ8が提案されている。

【0006】当該CSPタイプの半導体チップ8を用いると、バンプ7を半導体チップ8上の全面に自由にレイアウトすることができるので、外周に沿って形成された入出力端子5にバンプ7を形成する場合に比べてバンプ7の配列ピッチ及びバンプサイズを大きくすることができ、入出力端子5の多端子化と半導体チップのフリップチップ実装の容易化等を図ることができる。

#### 【0007】

【発明が解決しようとする課題】ところで、半導体装置に適用される半導体チップの回路形成面には、図16及び図18に示すように、電源回路11と、演算増幅器（オペアンプ）12と、比較増幅器（コンパレータ）13と、RF受信部14と、RF送信部15と、RFシンセサイザ部16と、論理部17と、メモリ部18などがブロック分けして形成されており、より高いセキュリティ性能が要求される場合には、マイクロプロセッサが内蔵される場合もある。前記電源回路11、演算増幅器12、比較増幅器13、RF受信部14、RF送信部15及びRFシンセサイザ部16は、ほとんどがアナログ回路で構成され、メモリ部18もメモリ素子としてEEPROMなどを用いる場合には、一部に電圧昇圧回路や增幅回路等のアナログ回路が存在する。これに対して、論理部17は、ほとんどがデジタル回路で構成される。なお、従来より知られている半導体装置搭載用の半導体チップには、前記アナログ回路の一部にコイル部を備えたものもある。

【0008】再配線層3が一体に形成されたコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8においては、比較的高い誘電率を有する絶縁層2を介して半導体チップ1、8の回路形成面と再配線層3とが近接して配置されるので、図20に模式的に示すように、回路形成面に形成された回路と再配線層3との間に寄生容量Cが形成される。

【0009】然るに、従来のコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8においては、アナログ回路の形成部に寄生容量Cが生成された場合の悪影響について、何らの考慮もされておらず、図16乃至図19に示すように、アンテナコイル4又はバンプ設定用配線5がアナログ回路の形成部と対向する位置にも形成されている。

【0010】このため、従来のコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8は、回路形成面に形成されたアナログ回路と再配線層3との間に寄生容量Cが形成され、再配線層3に発生した起電力（交流）と寄生容量Cとが結合して静電誘導ノイズを生じ、さらには、当該静電誘導ノイズに起因してク

ロストークノイズ、リングング（LC共振ずれ）及び電源ノイズ等が発生することから、誤作動や通信特性の劣化を生じやすいという問題がある。

【0011】また、従来のコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8は、回路形成面と再配線層3とが絶縁層2を介して対向に配置されているので、回路形成面に形成された各回路に電磁誘導ノイズも発生しやすく、これに起因する誤作動や通信特性の劣化も生じやすい。

【0012】前記静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リングング及び電源ノイズ等のノイズは、前記電源回路11、演算増幅器12、比較増幅器13、RF受信部14、RF送信部15及びRFシンセサイザ部16などのアナログ回路、特に、微小な電圧波形を取り扱う演算増幅器12及び比較増幅器13や、微小な信号を取り扱うメモリ部18に備えられた電圧昇圧回路及び増幅回路、それにコイル等に大きな影響を与える。また、これらのノイズは、取り扱う電圧波形や信号の周波数が高い回路ほど大きな悪影響を及ぼすので、例えば携帯電話等に適用される高周波対応の半導体チップにおいては、特に前記ノイズの発生を抑制する必要がある。

【0013】本発明は、かかる課題を解決するためになされたものであって、その課題とするところは、ノイズによる誤作動や通信特性の劣化を生じにくい再配線層一体形の半導体チップを提供すること、及び、通信特性が良好な半導体装置を提供することにある。

#### 【0014】

【課題を解決するための手段】本発明は、前記課題を解決するため、半導体チップに関しては、第1に、絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成されたアナログ回路の全部又は一部と前記再配線層とを前記絶縁層を介して重なり合わないように配列するという構成にした。

【0015】このように、半導体チップの回路形成面に形成されたアナログ回路と再配線層とを絶縁層を介して重なり合わないように配列すると、アナログ回路と再配線層との間に寄生容量が形成されないので、アナログ回路に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路と再配線層とが対向に配置されないので、アナログ回路に作用する電磁誘導ノイズの発生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リングング及び電源ノイズ等の発生が防止され、高周波対応の再配線層一体形半導体チップについても、ノイズに起因する誤作動や通信特性の劣化を解消することができる。なお、回路形成面に形成された全てのアナログ回路について再配線層を重なり合わないように配列しなくとも、ノイズの影響を特に受けやすいアナログ回路

について再配線層を重なり合わないように配列すれば、実用上ノイズに起因する誤作動や通信特性の劣化が問題になることはない。また、デジタル回路はアナログ回路に比べてノイズの影響を受けにくいので、回路形成面に形成されたデジタル回路上に絶縁層を介して再配線層を重なり合わせても、再配線層一体形の半導体チップに誤作動を生じたり通信特性の劣化を生じることはない。

【0016】本発明は、半導体チップに関して、第2に、絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいざれか1つと前記再配線層とを前記絶縁層を介して重なり合わないように配列するという構成にした。

【0017】前記したように、回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部は、ほとんどがノイズの影響を受けやすいアナログ回路をもって構成される。したがって、これらの各回路ブロックと再配線層とを絶縁層を介して重なり合わないように配列すれば、各回路ブロックについて、静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リング及び電源ノイズ等の発生を防止することができ、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0018】本発明は、半導体チップに関して、第3に、絶縁層を介して回路形成面上に再配線層を一体形成してなる半導体チップにおいて、前記回路形成面に形成されたコイルと前記再配線層とを前記絶縁層を介して重なり合わないように配列するという構成にした。

【0019】かのように、回路形成面にコイルが形成された半導体チップについて、当該コイルと再配線層とを絶縁層を介して重なり合わないように配列すると、コイルに静電誘導ノイズや電磁誘導ノイズが作用しにくく、リング等の発生を防止することができるので、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0020】本発明は、半導体チップに関して、第4に、前記第1乃至第3の課題解決手段に記載の再配線層をもって、両端が前記回路形成面に形成された入出力端子に接続された非接触通信用のアンテナコイルを形成するという構成にした。

【0021】かのように、再配線層をもって非接触通信用のアンテナコイルを形成すると、耐ノイズ性に優れたコイルオンチップを得ることができるので、低成本にして耐ノイズ性に優れた非接触式半導体装置を製造することができる。

【0022】本発明は、半導体チップに関して、第5に、前記第1乃至第3の課題解決手段に記載の再配線層をもって、一端が前記回路形成面に形成された入出力端子に接続され、他端にバンプが形成されたバンプ設定用

配線を形成するという構成にした。

【0023】かのように、再配線層をもってバンプ設定用配線を形成すると、耐ノイズ性に優れたCSPタイプの半導体チップを得ることができるので、多端子にして耐ノイズ性に優れた半導体装置を得ることができる。

【0024】本発明は、半導体チップに関して、第6に、前記第1乃至第5の課題解決手段に記載の回路形成面に形成された回路が、CMOS技術により形成された無線通信回路であるという構成にした。

【0025】本願出願人は、実験により、CMOS技術で製造された無線チップは、Siバイポーラ技術で製造されたトランジスタに比べて個々のトランジスタ特性のばらつきが大きく、浮遊容量などの影響によってダイナミックレンジなどの特性が劣化しやすいことから、アナログ回路上に再配線層が形成された場合の影響が大きいという事実を知得した。シュミレーションによると、アナログ回路上の再配線による無線通信特性への影響は、Siバイポーラ技術を用いた場合と比較して、2~8倍にもなることが確認された。したがって、CMOS技術により回路形成面に無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列することにより、再配線層の影響を受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0026】本発明は、半導体チップに関して、第7に、前記第1乃至第6の課題解決手段に記載の回路形成面に形成された回路が、外部装置との間で800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路であるという構成にした。

【0027】本願出願人は、実験により、アナログ回路上の再配線による無線通信特性への影響は、無線通信のための周波数に依存し、周波数が800MHz以上になると急激に通信特性が劣化するという事実を知得した。これは、再配線内を流れる電流が、数MHz程度の低周波数を送受信する場合には再配線の中心付近を流れるのに対して、800MHz以上の高周波数になると再配線の表層を流れる表皮効果によるためと考えられる。表皮効果による回路への影響は、ノイズによるエラーレートの上昇や通信距離の急激な減少、ひいては通信不能に原因にもなる。したがって、800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列することにより、再配線層の影響を受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0028】一方、本発明は、前記の課題を解決するため、半導体装置に関しては、第1に、所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形

成面に形成されたアナログ回路の全部又は一部と前記再配線層とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載するという構成にした。

【0029】かのように、回路形成面に形成されたアナログ回路と再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを搭載すると、半導体チップのアナログ回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じないので、通信特性が良好な半導体装置を得ることができる。

【0030】本発明は、半導体装置に関して、第2に、所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと前記再配線層とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載するという構成にした。

【0031】かのように、回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを搭載すると、ノイズの悪影響を最も強く受けやすいこれらの回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じないので、通信特性が良好な半導体装置を得ることができる。

【0032】本発明は、半導体装置に関して、第3に、所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して回路形成面上に再配線層が一体形成され、かつ、前記回路形成面に形成されたコイルと前記再配線層とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載するという構成にした。

【0033】かのように、回路形成面に形成されたコイルと再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを搭載すると、ノイズの悪影響を強く受けやすいコイルに静電誘導ノイズや電磁誘導ノイズが作用しないので、通信特性が良好な半導体装置を得ることができる。

#### 【0034】

【発明の実施の形態】〈半導体チップの第1例〉本発明に係る半導体チップの第1例を、図1及び図2に基づいて説明する。図1は第1実施形態例に係る半導体チップ1Aの平面図であり、図2は図1のA-A断面図である。

【0035】本例の半導体チップ1Aは、コイルオンチップタイプの半導体チップであって、図1及び図2に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもってアンテナコイ

ル4が一体に形成されている。そして、本例の半導体チップ1Aにおいては、回路形成面1aの中央部分に形成されたアナログ回路21を避けて、その周辺部分に角形スパイラル状のアンテナコイル4が形成されている。

【0036】前記アナログ回路21は、半導体チップ1Aに形成されるべき全てのアナログ回路を集約化したものであっても良いし、例えば前記電源回路11、演算増幅器12、比較増幅器13、RF受信部14、RF送信部15及びRFシンセサイザ部16、それに前記メモリ部18の一部を構成する電圧昇圧回路や増幅回路などのようにノイズの影響を特に受けやすいアナログ回路の1つであっても良い。さらには、半導体チップ1Aに形成されるアナログ回路の一部に備えられたコイルであっても良い。

【0037】本例の半導体チップ1Aは、基になる半導体チップ（より実際的には、個々の半導体チップに切り出される前の完成ウエハ）の回路形成面1a上に、絶縁層2を介して再配線層3を形成することによって作製される。本例の半導体チップ1Aの基になる半導体チップとしては、公知に属する任意の半導体チップを用いることができるが、最終製品である非接触式半導体装置の薄形化を図るため、回路の非形成面1bが化学研磨又は機械研磨若しくはこれらの手段の組み合わせによって薄形化されたペアチップを用いることが特に好ましい。その厚さは、300μm以下が好ましく、特に薄形のカードに適用されるものについては、50μm～150μm程度にすることが好ましい。また、CMOS技術により回路形成面に無線通信回路が形成されたものや、外部装置との間で800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が回路形成面に形成されたものを用いることもできる。

【0038】なお、図1の例では、アンテナコイル4が複数ターン巻回されているが、当該アンテナコイル4のターン数についてはこれに限定されるものではなく、1ターン以上の任意のターン数とすることができます。さらに、アンテナコイル4の平面形状に関しても、図1及び図2の例に限定されるものではなく、例えば角部に面取りを施して、形状効果による通信特性の劣化が少ない形状とすることもできる。また、絶縁層2と再配線層3とを多段に積層して、アンテナコイル4のターン数を多くすることもできる。

【0039】本例の半導体チップ1Aは、回路形成面1aの中央部分に形成されたアナログ回路21を避けてアンテナコイル4を形成し、アナログ回路21とアンテナコイル4とが互いに重なり合わないように配列したので、アナログ回路21とアンテナコイル4との間に寄生容量が形成されず、アナログ回路21に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路21とアンテナコイル4とが対向に配置されないので、アナログ回路21に作用する電磁誘導ノイズの発

生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リンクギング及び電源ノイズ等の発生が防止され、高周波対応のコイルオンチップについても、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0040】特に、半導体チップ1Aの基になる半導体チップとして、CMOS技術により回路形成面に無線通信回路が形成されたものを用いた場合には、再配線層3（アンテナコイル4）の影響を受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。また、半導体チップ1Aの基になる半導体チップとして、外部装置との間で800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が回路形成面に形成されたものを用いた場合には、再配線層3（アンテナコイル4）の影響を受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0041】〈半導体チップの第2例〉本発明に係る半導体チップの第2例を、図3に基づいて説明する。図3は第2実施形態例に係る半導体チップ1Bの平面図である。

【0042】本例の半導体チップ1Bも、コイルオンチップタイプの半導体チップであって、図3に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもってアンテナコイル4が一体に形成されている。そして、本例の半導体チップ1Bにおいては、回路形成面1aの一隅部に形成されたアナログ回路21を避けて、その周辺部分に異形スパイラル状のアンテナコイル4が形成されている。その他については、前記第1実施形態例に係る半導体チップ1Aと同じであるので、説明を省略する。

【0043】本例の半導体チップ1Bも、回路形成面1aの一隅部に形成されたアナログ回路21を避けてアンテナコイル4を形成し、アナログ回路21とアンテナコイル4とが互いに重なり合わないように配列したので、アナログ回路21に作用するノイズの影響を解消することができ、前記第1実施形態例に係る半導体チップ1Aと同様の効果を得ることができる。

【0044】〈半導体チップの第3例〉本発明に係る半導体チップの第3例を、図4及び図5に基づいて説明する。図4は第3実施形態例に係る半導体チップ1Cの平面図であり、図5は図4のB-B断面図である。

【0045】本例の半導体チップ1Cは、CSPタイプの半導体チップであって、図4及び図5に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもって、一端が入出力端子5に接続されかつ他端が半導体チップ1Cの全面にレイアウトされたバンプ設定用配線6が形成され、当該バンプ設定用配線6の他端にバンプ7が形成されている。そして、本例の半導体チップ1Cにおいては、回路形成面1aの一部に形成されたアナログ回路21を避けてその周

辺部分にバンプ設定用配線6が引き回され、アナログ回路21の形成部分を境として、その側方にのみバンプ7が配列されている。その他については、前記第1実施形態例に係る半導体チップ1Aと同じであるので、説明を省略する。

【0046】本例の半導体チップ1Cも、回路形成面1aの一部に形成されたアナログ回路21を避けてバンプ設定用配線6及びバンプ7を形成し、アナログ回路21とこれらバンプ設定用配線6及びバンプ7とが互いに重なり合わないように配列したので、アナログ回路21に作用するノイズの影響を解消することができ、前記第1実施形態例に係る半導体チップ1Aと同様の効果を得ることができる。

【0047】〈半導体チップの第4例〉本発明に係る半導体チップの第4例を、図6に基づいて説明する。図6は第4実施形態例に係る半導体チップ1Dの平面図である。

【0048】本例の半導体チップ1Dも、CSPタイプの半導体チップであって、図6に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもって、一端が入出力端子5に接続されかつ他端が半導体チップ1Dの全面にレイアウトされたバンプ設定用配線6が形成され、当該バンプ設定用配線6の他端にバンプ7が形成されている。そして、本例の半導体チップ1Dにおいては、回路形成面1aの一部に形成されたアナログ回路21を避けてその周辺部分にバンプ設定用配線6が引き回され、アナログ回路21の形成部分を境として、その上方及び側方にバンプ7が配列されている。その他については、前記第3実施形態例に係る半導体チップ1Cと同じであるので、説明を省略する。

【0049】本例の半導体チップ1Cも、回路形成面1aの一部に形成されたアナログ回路21を避けてバンプ設定用配線6及びバンプ7を形成し、アナログ回路21とこれらバンプ設定用配線6及びバンプ7とが互いに重なり合わないように配列したので、前記第3実施形態例に係る半導体チップ1Cと同様の効果を得ることができる。

【0050】〈半導体チップの第5例〉本発明に係る半導体チップの第5例を、図7に基づいて説明する。図7は第5実施形態例に係る半導体チップ1Eの平面図である。

【0051】本例の半導体チップ1Eも、CSPタイプの半導体チップであって、図7に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもって、一端が入出力端子5に接続されかつ他端が半導体チップ1Eの全面にレイアウトされたバンプ設定用配線6が形成され、当該バンプ設定用配線6の他端にバンプ7が形成されている。そして、本例の半導体チップ1Eにおいては、回路形成面1aの2箇所

に形成されたアナログ回路21を避けてその周辺部分にバンプ設定用配線6が引き回され、アナログ回路21の形成部分の前後左右にバンプ7が配列されている。その他については、前記第3実施形態例に係る半導体チップ1Cと同じであるので、説明を省略する。

【0052】本例の半導体チップ1Eも、回路形成面1aの一部に形成されたアナログ回路21を避けてバンプ設定用配線6及びバンプ7を形成し、アナログ回路21とこれらバンプ設定用配線6及びバンプ7とが互いに重なり合わないように配列したので、前記第3実施形態例に係る半導体チップ1Cと同様の効果を得ることができる。

【0053】〈再配線層の形成方法の第1例〉以下、前記アンテナコイル4又はバンプ設定用配線6を構成する再配線層3の形成方法の第1例を、図8乃至図10に基づいて説明する。図8は所定のプロセス処理を経て完成されたいわゆる完成ウエハの平面図、図9は再配線層3の形成方法の第1例を示す工程図、図10は再配線層3が形成された完成ウエハの平面図である。

【0054】図8に示すように、完成ウエハ31には、最外周部を除く内周部分に多数個の半導体チップ用の回路32が等間隔に形成されており、その回路形成面側には、所要の表面保護膜33(図9参照)が形成されている。

【0055】図9に示す再配線層の形成方法の第1例では、まず図9(a)に示すように、完成ウエハ31の回路形成面に形成された表面保護膜33上に、アルミニウム又はアルミニウム合金若しくは銅又は銅合金を用いて、金属スパッタ層又は金属蒸着層34を均一に形成する。次いで、図9(b)に示すように、当該金属スパッタ層又は金属蒸着層34上にフォトレジスト層35を均一に形成し、形成されたフォトレジスト層35にアンテナコイル4又はバンプ設定用配線6を含む所要のパターンが形成されたマスク36を被せ、マスク36の外側から所定波長の光37を照射してフォトレジスト層35を露光する。しかる後に露光されたフォトレジスト層35の現像処理を行い、図9(c)に示すように、フォトレジスト層35の露光部分を除去して、前記金属スパッタ層又は金属蒸着層34の前記露光パターンと対応する部分を露出させる。金属スパッタ層又は金属蒸着層34の露出パターンには、図10に示すように、リング状の電極部37と、前記アナログ回路21を除く部分に形成されたアンテナコイル4又はバンプ設定用配線6と、これら電極部37と各アンテナコイル4又は各バンプ設定用配線6とを連結するリード部38とが含まれる。次いで、前記電極部37を一方の電極として、金属スパッタ層又は金属蒸着層34の露出部分に電気めっき又は精密電鋳を施し、図9(d)に示すように、金属スパッタ層又は金属蒸着層34の露出部分に金属めっき層39を積層する。次いで、完成ウエハ31の表面に付着したフォ

トレジスト層35をアッシング処理等によって除去し、図9(e)に示すように、均一な金属スパッタ層又は金属蒸着層34上に電極部37とアンテナコイル4又はバンプ設定用配線6とリード部38とを有する金属めっき層39が形成された完成ウエハ31を得る。次いで、金属めっき層39より露出した金属スパッタ層又は金属蒸着層34を選択的にエッチングし、図9(f)に示すように、金属めっき層39より露出した金属スパッタ層又は金属蒸着層34を除去する。これによって、金属スパッタ層又は金属蒸着層34と金属めっき層39とが形成された完成ウエハ31が得られる。最後に、前記完成ウエハ31をスクライビングして、図1乃至図7に示す所要の半導体チップ1C素子1A~1Eを得る。

【0056】なお、本例においては、金属めっき層39の形成手段として電気めっき法又は精密電鋳法を用いたが、かかる構成に代えて、無電解めっき法を用いて前記金属めっき層39を形成することもできる。この場合には、金属めっき層39の形成に電極を必要としないので、フォトレジスト層35の露光に際して、電極部37の形成とリード部38の形成が不要になる。

【0057】無電解めっきは、化学めっきとも呼ばれ、素地金属をめっき金属の金属塩溶液中に浸して金属イオンを素地表面に析出させるもので、比較的簡単な設備で密着力が強く均一で十分な厚みを有するめっき層が得られるという特徴がある。前記金属塩は、めっきする金属イオンの供給源となるものであり、銅をめっきする場合には、硫酸銅、塩化第二銅、硝酸銅等の溶液がめっき液として用いられる。銅などの金属イオンは、素地となる金属スパッタ層又は金属蒸着層34上にのみ析出し、絶縁性の表面保護層33上には析出しない。素地材は、めっき金属イオンに対してイオン化傾向が小さく、かつ、めっき金属イオンの析出に対する触媒作用をもつ必要がある。このため、アルミニウムからなる金属スパッタ層又は金属蒸着層6上に銅をめっきする場合には、アルミニウム層の表面にニッケルを数μm以下の厚さに形成し、硝酸亜鉛液に数秒間浸して亜鉛に置換する前処理を施すことが好ましい。

【0058】一方、電気めっき法及び精密電鋳法は、めっき金属のイオンを含むめっき浴中に金属スパッタ層又は金属蒸着層34が形成された完成ウエハ31とめっき金属からなる電極とを浸漬し、完成ウエハ31に形成された金属スパッタ層又は金属蒸着層34を陰極、めっき浴中に浸漬された電極を陽極として電圧を印加し、めっき浴中の金属イオンを金属スパッタ層又は金属蒸着層34の表面に析出させる方法である。電気めっき法及び精密電鋳法も、銅をめっきする場合には、硫酸銅、塩化第二銅、硝酸銅等の溶液がめっき液として用いられる。

【0059】本例の再配線層3の形成方法は、完成ウエハ31に所要のアンテナコイル4又はバンプ設定用配線6を含む所要の導電パターンを形成し、しかる後に完成

ウエハ31をスクライビングして所要の半導体チップ1A～1Eを得るという構成にしたので、個々の半導体チップにアンテナコイル4又はバンプ設定用配線6を形成する場合に比べてコイルオンチップ又はCSPタイプの半導体チップを高能率に製造でき、その製造コストを低減することができる。また、ウエハ31に形成された全ての半導体チップに対して均一な厚みのアンテナコイル4又はバンプ設定用配線6を高精度に形成することができるので、通信特性のばらつきを小さくすることができる。さらに、個々の半導体チップ1A～1Eについてスパッタ法又は真空蒸着法及びメッキ法を用いてアンテナコイル4又はバンプ設定用配線6を形成すると、半導体チップ1A～1Eの外周部に不要の導体が付着して半導体チップの絶縁性が問題になるが、完成ウエハ31にアンテナコイル4又はバンプ設定用配線6を含む所要の導電パターンを形成した場合には、スパッタ時等において完成ウエハ31の外周部に不要の導体が付着しても、該部は不要部分としてもともと処分されるべき部分であるので、個々の半導体チップ1A～1Eの絶縁性に悪影響を与えることもない。加えて、本例の再配線層3の形成方法は、フォトレジスト層35がある状態で金属めっき層39の形成を行い、しかる後に金属スパッタ層又は金属蒸着層34の金属めっき層39が積層されていない部分をエッティングによって除去するようにしたので、図8(e)に示すように、金属めっき層39が金属スパッタ層又は金属蒸着層34の上面にのみ積層され、幅方向に広がらないので、精密なアンテナコイル4又はバンプ設定用配線6を形成することができ、狭い面積内に巻数の多いアンテナコイル4又は多数のバンプ設定用配線6を形成することができる。

【0060】〈再配線層の形成方法の第2例〉次いで、再配線層3の形成方法の第2例を、図11に基づいて説明する。図11は再配線層3の形成方法の第2例を示す工程図である。

【0061】本例の再配線層3の形成方法では、図11(a)に示すように、完成ウエハ31に形成された表面保護膜33上にフォトレジスト層35を均一に形成し、形成されたフォトレジスト層35にアンテナコイル4又はバンプ設定用配線6を含む所要のパターンが形成されたマスク35を被せ、マスク36の外側から所定波長の光37を照射してフォトレジスト層35を露光する。しかる後に、露光されたフォトレジスト層35の現像処理を行い、図11(b)に示すように、フォトレジスト層35の露光部分を除去して、表面保護膜33の前記露光パターンと対応する部分を露出させる。フォトレジスト層35の露光パターンは、図10に示すように、電極部37と前記アナログ回路21を除く部分に形成されたアンテナコイル4又はバンプ設定用配線6とリード部38とを含む形状にすることができる。次いで、現像処理後の完成ウエハ31をスパッタ装置又は真空蒸着装置に装

着し、図11(c)に示すように、前記表面保護膜33の露出部分に金属スパッタ層又は金属蒸着層34を形成する。次いで、図11(d)に示すように、完成ウエハ31に付着したフォトレジスト層35をアッシング処理等によって除去した後、電極部37を一方の電極として、金属スパッタ層又は金属蒸着層34に電気めっきを施し、図11(e)に示すように、金属スパッタ層又は金属蒸着層34の露出部分に金属めっき層39を積層する。最後に、前記完成ウエハ31をスクライビングして、図1乃至図7に示す所要の半導体チップIC素子1A～1Eを得る。

【0062】なお、本例の再配線層3の形成方法においても、金属めっき層39の形成手段として電気めっき法を用いたが、かかる構成に代えて、無電解めっき法を用いて前記金属めっき層39を形成することもできる。この場合には、金属めっき層39の形成に電極を必要としないので、フォトレジスト層35の露光に際して、電極部37の形成とリード部38の形成が不要になる。

【0063】本例の再配線層3の形成方法は、前記第1例に係る再配線層3の形成方法と同様の効果を有するほか、完成ウエハ31に導電パターンを形成するための工程数を少なくできるので、コイルオンチップ又はCSPタイプの半導体チップをより高能率に製造することができる。

【0064】〈半導体装置の第1例〉次に、本発明に係る半導体装置の第1例を、図12に基づいて説明する。図12は第1実施形態例に係る半導体装置40の断面図である。

【0065】第1実施形態例に係る半導体装置40は、図12に示すように、前記コイルオンチップタイプの半導体チップ1A又は1Bを、接着剤層41と2枚のカバーシート42とからなる基体内にケーシングしたことを特徴とする。接着剤層41を構成する接着剤としては、所要の接着強度を有するものであれば公知に属する任意の接着剤を用いることができるが、量産性に優れることから、ホットメルト接着剤を用いることが特に好ましい。また、カバーシート42としては、所要の強度と印刷性を有するものであれば公知に属する任意のシート材料を用いることができるが、例えばポリエチレンテレフタレートのように焼却しても有害物質の発生が少ない高分子シートや紙を用いることが特に好ましい。本例の半導体装置40は、片面に接着剤層41が形成された第1のカバーシート42の接着剤層41上に半導体チップ1A又は1Bを固定し、次いで、前記第1のカバーシート42の半導体チップ接着面に、片面に接着剤層41が形成された第2のカバーシート42の接着剤層41を接着することによって形成できる。

【0066】本例の半導体装置40は、アナログ回路21とアンテナコイル4とが絶縁層2を介して重なり合わないように配列された半導体チップ1A又は1Bを搭載

したので、アナログ回路21とアンテナコイル4との間に寄生容量が形成されず、アナログ回路21に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路21とアンテナコイル4とが対向に配置されないので、アナログ回路21に作用する電磁誘導ノイズの発生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リングング及び電源ノイズ等の発生が防止され、コイルオンチップタイプの半導体チップ1A又は1Bを搭載した非接触半導体装置の通信特性を改善できる。また、所要の半導体チップ1A又は1Bを2枚のカバーシート42にてケーシングするだけで製造できるので、安価かつ超小型に製造できる。

【0067】〈半導体装置の第2例〉次に、本発明に係る半導体装置の第2例を、図13及び図14に基づいて説明する。図13は第2実施形態例に係る半導体装置の断面図、図14は第2実施形態例に係る半導体装置に備えられるブースタコイルの平面図である。

【0068】第2実施形態例に係る半導体装置50は、図13に示すように、前記コイルオンチップタイプの半導体チップ1A又は1Bと、これらの半導体チップ1A又は1Bに一体形成されたアンテナコイル4と図示しないリーダライタに備えられたアンテナコイルとの電磁結合を強化するためのブースタコイル51が形成された絶縁基板52とを、接着剤層41とカバーシート42とからなる基体内にケーシングしたことを特徴とする。

【0069】ブースタコイル51は、図14に示すように、巻径が小さな第1コイル51aと巻径が大きな第2コイル51bとからなり、互いに電気的に接続されている。第1コイル51aは、半導体チップ1A又は1Bに一体形成されたアンテナコイル4と主に電磁結合されるコイルであり、その平面形状及び寸法が、半導体チップ1A又は1Bに一体形成されたアンテナコイル4と同一又は相似形に形成される。一方、第2コイル51bは、リーダライタに備えられたアンテナコイルと主に電磁結合するコイルであり、その平面形状及び寸法は、接着剤層41とカバーシート42とによって構成される基体内に収まる範囲でなるべく大きく形成される。なお、図14の例では、第1コイル51a及び第2コイル51bが共に複数のターン数を有する矩形スパイラル状に形成されているが、各コイル51a、51bのターン数や平面形状はこれに限定されるものではなく、任意に形成することができる。このブースタコイル51は、絶縁基板52の片面に形成された均一厚さの導電性金属層にエッチングを施して所要のコイルパターンを形成するエッチング法や、絶縁基板52の片面に導電性インクを用いて所要のコイルパターンを印刷形成する印刷法をもって形成することができる。

【0070】なお、接着剤層41を構成する接着剤の種類やカバーシート42を構成するシート材料の種類につ

いては、第1実施形態例に係る半導体装置40と同じであるので、重複を避けるために説明を省略する。

【0071】本例の半導体装置50は、第1実施形態例に係る半導体装置40と同様の効果を有するほか、ブースタコイルを備えたので、半導体チップ1A又は1Bに一体形成されたアンテナコイル4と図示しないリーダライタに備えられたアンテナコイルとの電磁結合を強化できるという効果がある。

【0072】〈半導体装置の第3例〉次に、本発明に係る半導体装置の第2例を、図15に基づいて説明する。図15は第3実施形態例に係る半導体装置の要部断面図である。

【0073】第3実施形態例に係る半導体装置60は、図15に示すように、第1配線層61、第1絶縁層62、第2配線層63、第1配線層61と第2配線層63とを接続する接続部63a、第2絶縁層64、半導体チップ1C、他の搭載部品66、第2配線層63と半導体チップ1Cとを接続する導体67、第2配線層63と他の搭載部品66とを接続する導体68、半導体チップ1Cと他の搭載部品66と導体67、68を一体に封止するモールド樹脂69、第1配線層61の外面に局部的に形成されたニッケル層(金属膜)70、第1配線層61の外面を覆う保護樹脂層71、ニッケル層70に形成された外部端子72から構成されている。

【0074】第1配線層61、第2配線層63及び接続部63aは、銅又は銅合金を電気めっき(電鍍)することによって形成される。銅合金としては、耐腐食性や密着性に優れることなどから、銅-ニッケル合金又は銅-ニッケル-銀合金が特に適する。接続部63aは、第1絶縁層62に開設された第1開口部62a内に形成され、第1配線層61と第2配線層63とを電気的に接続する。

【0075】第1絶縁層62、第2絶縁層64及び保護樹脂層71は、絶縁性樹脂によって形成される。なお、絶縁性樹脂としては、これら第1絶縁層62、第2絶縁層64及び保護樹脂層71の形成を容易にするため、感光性樹脂を用いることもできる。第1絶縁層62には、接続部63aを形成するための第1開口部62aが所要の配列で形成され、第2絶縁層64には、導体67、68を貫通するための第2開口部64aが所要の配列で形成される。

【0076】他の搭載部品66としては、トランジスタ、ダイオード、抵抗、インダクタ、コンデンサ、水晶発振子、フィルタ、バラン、アンテナ、機能モジュールなどのチップ部品や外部接続コネクタなどを搭載することができる。なお、前記機能モジュールには、VCO、PLL又は電源レギュレータなどが含まれる。

【0077】他の搭載部品66と第2配線層63とを接続する導体68としては、導電ペーストや異方性導電接着剤などを用いることもできるが、安価にして信頼性の

高い接続が可能であることから、はんだが特に適する。

【0078】モールド樹脂69は、前記半導体チップ1Cと、他の搭載部品66と、これら各搭載部品1C、66と第2配線層63との接続部とを一体に樹脂封止するものであって、従来より半導体チップの樹脂封止に適用されている各種の樹脂材料を用いて形成することができる。

【0079】ニッケル層70は、外部端子72の形成を容易にするものであって、外部端子72を形成しようとする第1配線層61の端子部に形成される。

【0080】外部端子72は、本実施形態例に係る半導体装置60を外部装置、例えばプリント配線基板に接続するために使用されるものであって、安価にして信頼性の高い接続が容易に行えることから、はんだで形成することが特に好ましい。

【0081】本例の半導体装置60は、第1実施例に係る半導体装置40と同様の効果を有するほか、搭載部品1C、66の配線手段を配線層61、63と保護樹脂層62、64とから構成したので、従来の多層基板のコア材に相当する部分を省略することができ、薄形にして安価な半導体装置を得ることができる。また、配線層61、63を用いたので、リードフレームや金属箔エッチング又は導電ペースト印刷により形成された配線層を備えた基板を用いる場合に比べて配線パターンの高密度化、高精度化、微小化及び均質化を図ることができ、小型にして高周波対応性の高い半導体モジュールを得ることができる。さらに、第1配線層61及びこれと電気的に接続された第2配線層63とを2層に形成したので、配線層61、63の形成面積を減少することができ、半導体装置の小型化を図ることができる。

【0082】なお、前記実施形態例では、配線層を2層に形成したが3層以上に形成することももちろん可能である。また、前記実施形態例では、半導体チップとしてCSPタイプの半導体チップ1Cを用いたが、他のCSPタイプの半導体チップ1D、1Eを用いることもできる。

### 【0083】

【発明の効果】請求項1に記載の発明は、半導体チップの回路形成面に形成されたアナログ回路と再配線層とを絶縁層を介して重なり合わないように配列するので、アナログ回路と再配線層との間に寄生容量が形成されず、アナログ回路に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路と再配線層とが対向に配置されないので、アナログ回路に作用する電磁誘導ノイズの発生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リングイング及び電源ノイズ等の発生が防止され、高周波対応の再配線層一体形半導体チップについても、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0084】請求項2に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすい電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと再配線層とを絶縁層を介して重なり合わないように配列するので、各回路ブロックについて、静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リングイング及び電源ノイズ等の発生を防止することができ、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0085】請求項3に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすいコイルと再配線層とを絶縁層を介して重なり合わないように配列するので、当該コイルに静電誘導ノイズや電磁誘導ノイズが作用しにくく、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0086】請求項4に記載の発明は、再配線層をもつて非接触通信用のアンテナコイルを形成するので、耐ノイズ性に優れたコイルオンチップタイプの半導体チップを得ることができ、低コストにして耐ノイズ性に優れた非接触式半導体装置を製造することができる。

【0087】請求項5に記載の発明は、再配線層をもつてバンフ設定用配線を形成するので、耐ノイズ性に優れたCSPタイプの半導体チップを得ることができ、多端子にして耐ノイズ性に優れた半導体装置を得ることができる。

【0088】請求項6に記載の発明は、CMOS技術により回路形成面に無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列するので、再配線層の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0089】請求項7に記載の発明は、800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列するので、再配線層の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0090】請求項8に記載の発明は、回路形成面に形成されたアナログ回路と再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを半導体装置に搭載するので、半導体チップのアナログ回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じにくく、通信特性が良好な半導体装置を得ることができる。

【0091】請求項9に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすい電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと再配線層とが絶縁層を介して重なり

合わないように配列された半導体チップを半導体装置に搭載するので、ノイズの悪影響を最も強く受けやすいこれらの回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じにくく、通信特性が良好な半導体装置を得ることができる。

【0092】請求項10に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすいコイルと再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを搭載するので、ノイズの悪影響を強く受けやすいコイルに静電誘導ノイズや電磁誘導ノイズが作用せず、通信特性が良好な半導体装置を得ることができる。

【図面の簡単な説明】

【図1】第1実施形態例に係る半導体チップ1Aの平面図である。

【図2】図1のA-A断面図である。

【図3】第2実施形態例に係る半導体チップ1Bの平面図である。

【図4】第3実施形態例に係る半導体チップ1Cの平面図である。

【図5】図4のB-B断面図である。

【図6】第4実施形態例に係る半導体チップ1Dの平面図である。

【図7】第5実施形態例に係る半導体チップ1Eの平面図である。

【図8】所定のプロセス処理を経て完成されたいわゆる完成ウエハの平面図である。

【図9】再配線層の形成方法の第1例を示す工程図である。

【図10】再配線層3が形成された完成ウエハの平面図である。

【図11】再配線層の形成方法の第2例を示す工程図である。

【図12】第1実施形態例に係る半導体装置の断面図である。

【図13】第2実施形態例に係る半導体装置の断面図である。

【図14】第2実施形態例に係る半導体装置に備えられるブースタコイルの平面図である。

【図15】第3実施形態例に係る半導体装置の要部断面図である。

【図16】従来のコイルオンチップタイプの半導体チップの平面図である。

【図17】従来のコイルオンチップタイプの半導体チップの断面図である。

【図18】従来のCSPタイプの半導体チップの平面図である。

【図19】従来のCSPタイプの半導体チップの断面図である。

【図20】半導体チップの回路部とアンテナコイルとの間に形成される寄生容量の説明図である。

【符号の説明】

1A～1E 半導体チップ

2 絶縁層

3 再配線層

4 アンテナコイル

6 バンプ形成用配線

11 電源回路

12 演算増幅器

13 比較増幅器

14 RF受信部

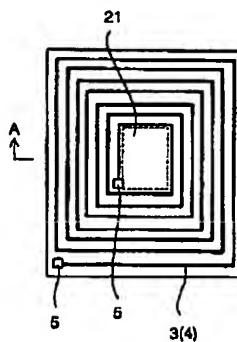
15 RF送信部

16 RFシンセサイザ部

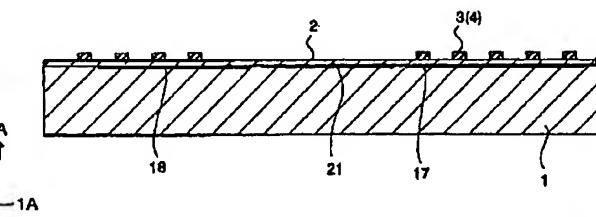
21 アナログ回路

40, 50, 60 半導体装置

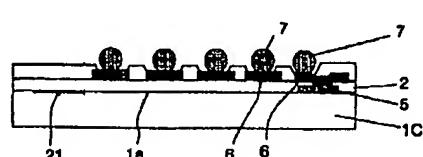
【図1】



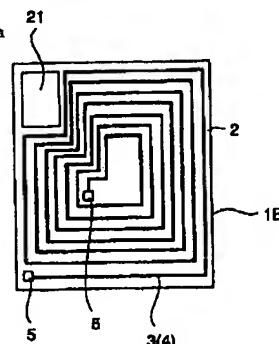
【図2】



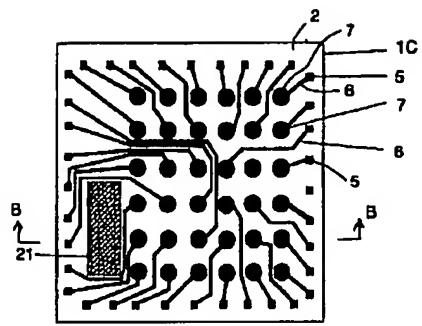
【図5】



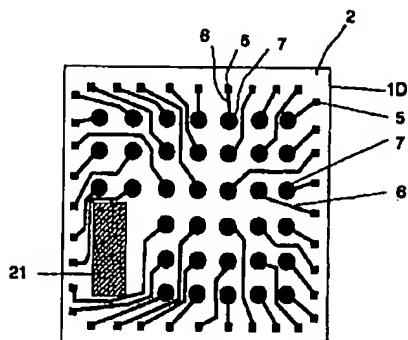
【図3】



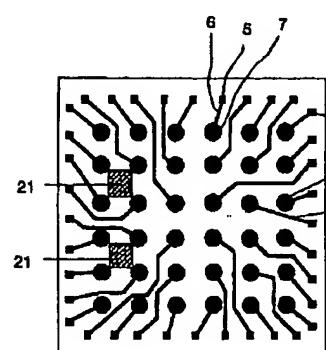
【図4】



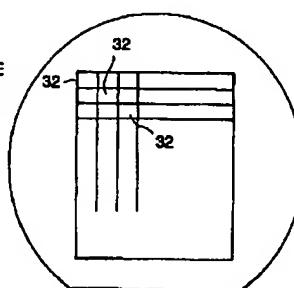
【図6】



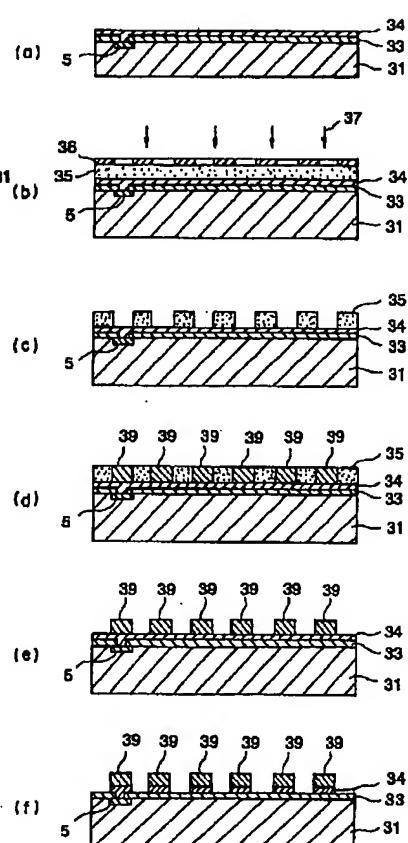
【図7】



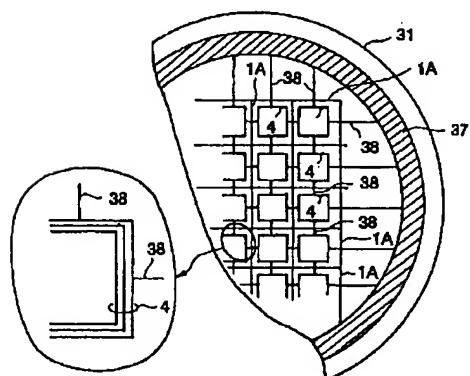
【図8】



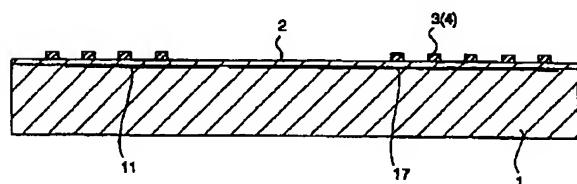
【図9】



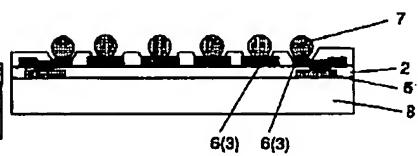
【図10】



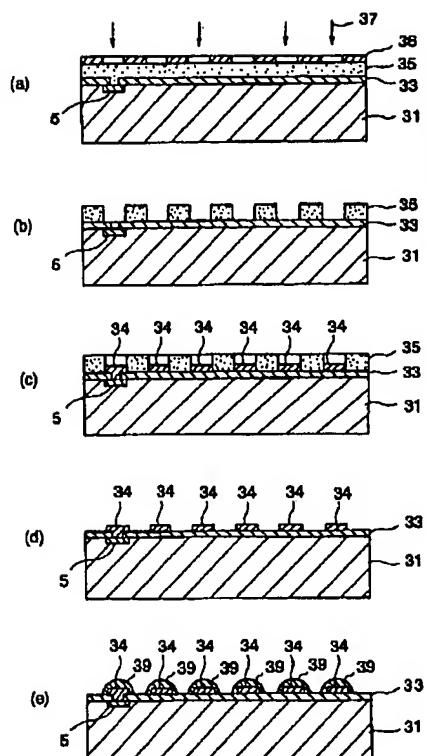
【図17】



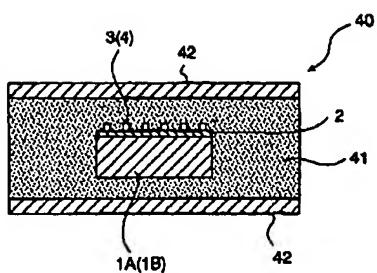
【図19】



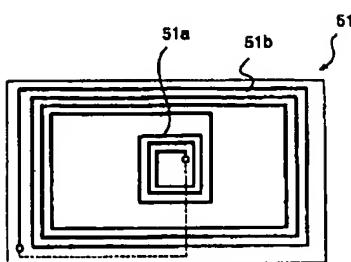
【図11】



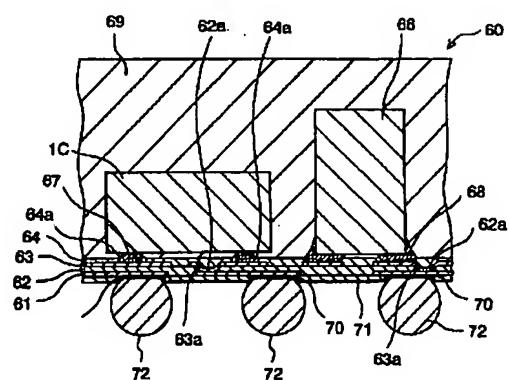
【図12】



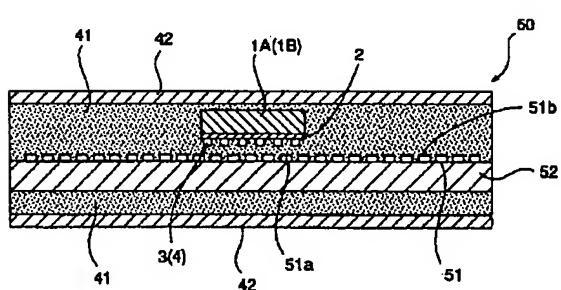
【図14】



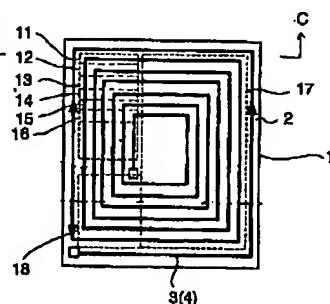
【図15】



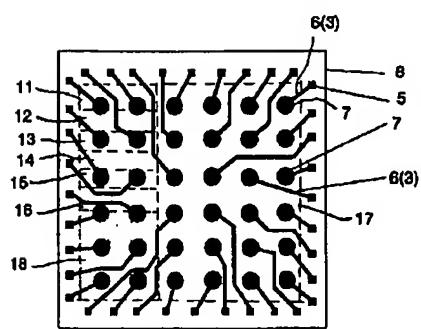
【図13】



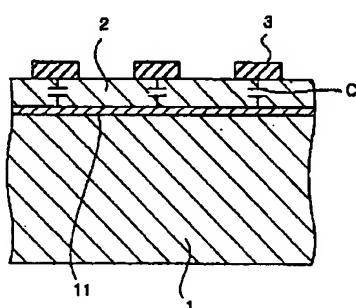
【図16】



【図18】



【図20】



フロントページの続き

(51) Int.Cl.<sup>7</sup>  
G 06 K 19/077

識別記号

F I  
G 06 K 19/00

テ-テ-ド' (参考)  
H

(72)発明者 中川 和成  
大阪府茨木市丑寅一丁目1番88号 日立マ  
クセル株式会社内

(72)発明者 日野 吉晴  
大阪府茨木市丑寅一丁目1番88号 日立マ  
クセル株式会社内  
F ターム(参考) 5B035 BA03 BB09 CA01 CA23 CA31

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

## [Claim(s)]

[Claim 1] A semiconductor chip characterized by arranging all or a part, and said rewiring layer of analog circuits formed in said circuit forming face in a semiconductor chip which really comes to form a rewiring layer on a circuit forming face through an insulating layer so that it may not overlap through said insulating layer.

[Claim 2] A semiconductor chip characterized by thing of a power circuit formed in said circuit forming face, an operational amplifier, a comparison amplifier, RF receive section, RF transmitting section, and the RF synthesizer sections for which any one and said rewiring layer were arranged at least so that it might not overlap through said insulating layer in a semiconductor chip which really comes to form a rewiring layer on a circuit forming face through an insulating layer.

[Claim 3] A semiconductor chip characterized by arranging a coil formed in said circuit forming face, and said rewiring layer in a semiconductor chip which really comes to form a rewiring layer on a circuit forming face through an insulating layer so that it may not overlap through said insulating layer.

[Claim 4] A semiconductor chip characterized by having had said rewiring layer and forming antenna coil for a non-contact communication link connected to an input/output terminal by which both ends were formed in said circuit forming face in a semiconductor chip according to claim 1 to 3.

[Claim 5] A semiconductor chip characterized by forming wiring for a bump setup with which it had said rewiring layer, and connected with an input/output terminal by which an end was formed in said circuit forming face in a semiconductor chip according to claim 1 to 3, and a bump was formed in the other end.

[Claim 6] A semiconductor chip with which a circuit formed in said circuit forming face is characterized by being the radio-communications circuit formed of a CMOS technology in a semiconductor chip according to claim 1 to 5.

[Claim 7] A semiconductor chip with which a circuit formed in said circuit forming face is characterized by being the radio-communications circuit which transmits, receives, or transmits and receives a signal with a frequency of 800MHz or more between external devices in a semiconductor chip according to claim 1 to 6.

[Claim 8] A semiconductor device characterized by carrying a semiconductor chip arranged so that all or parts, and said rewiring layers of analog circuits which a rewiring layer was really formed on a circuit forming face through an insulating layer as said semiconductor chip, and were formed in said circuit forming face in a semiconductor device which comes to carry a semiconductor chip in a base of a predetermined size and a predetermined configuration might not overlap through said insulating layer.

[Claim 9] In a semiconductor device which comes to carry a semiconductor chip in a base of a predetermined size and a predetermined configuration As said semiconductor chip, a rewiring layer is really formed on a circuit forming face through an insulating layer. And a power circuit formed in said circuit forming face, an operational amplifier, a comparison amplifier, A semiconductor device characterized by carrying a semiconductor chip of RF receive section, RF transmitting section, and the RF synthesizer sections arranged so that any one and said rewiring layers might not overlap through said insulating layer at least.

[Claim 10] A semiconductor device characterized by carrying a semiconductor chip arranged so that a coil which a rewiring layer was really formed on a circuit forming face through an insulating layer as said semiconductor chip, and was formed in said circuit forming face in a semiconductor device which comes to carry a semiconductor chip in a base of a predetermined size and a predetermined configuration, and said rewiring layers might not overlap through said insulating layer.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor chip with which the rewiring layer was formed on the circuit forming face through the insulating layer at one, and the semiconductor device carrying the semiconductor chip concerned, and relates to the array of said rewiring layer especially.

[0002]

[Description of the Prior Art] Since semiconductor devices, such as the card type and the tag form where the semiconductor chip was carried, or a coin form, are equipped with abundant amount of information and the high security engine performance, spread is progressing in fields, such as traffic, circulation, and an information communication link. The semiconductor device of a non-contact communication link type developed especially in recent years. Since an external terminal is not prepared in a base but wireless performs transmission and reception of the signal between receipt and the reader writers of the power from a reader writer. There is essentially no destruction of an external terminal like the semiconductor device of a contact process. It is equal to the prolonged use with the easy handling of conservation etc., and has the feature of excelling in the security engine performance further the alteration of data being hard to be performed, and spread in a field wide range than future is expected.

[0003] Conventionally, as a semiconductor chip carried in this kind of non-contact type semiconductor device, although what does not have antenna coil for the non-contact communication link for transmitting and receiving receipt of the power supply from an external device and the signal between external devices by non-contact was used. As shown in drawing 16 and drawing 17 in recent years, the semiconductor chip 1 on chip coil type with which the rewiring layer 3 was formed on the circuit forming face through the insulating layer 2, and antenna coil 4 was formed in one with the rewiring layer 3 concerned is proposed.

[0004] If the semiconductor chip 1 on chip coil type is used, since it is not necessary to prepare antenna coil separately and connection between antenna coil and a semiconductor chip, protection processing of the connection concerned, etc. will become unnecessary, -izing of the manufacture of a non-contact type semiconductor device can be carried out [ easy ], and the low cost-ization can be attained.

[0005] Moreover, as a non-contact type or a contact process is not asked but recent years are shown in drawing 18 and drawing 19 as a semiconductor chip carried in a semiconductor device. The rewiring layer 3 is formed in the circuit forming face of the semiconductor chip with which two or more input/output terminals (pad) 5 were formed along with the periphery through an insulating layer 2. The chip scale package with which it had the rewiring layer 3 concerned, the end was connected to said input/output terminal 5, the bump 7 was formed in the other end, and the wiring 6 for a bump setup arranged all over the semiconductor chip was formed (it is hereafter called "CSP" for short.) The semiconductor chip 8 of a type is proposed.

[0006] If the CSP type concerned of semiconductor chip 8 is used, since a bump 7 can be arranged freely the whole surface on a semiconductor chip 8, compared with the case where a bump 7 is formed in the input/output terminal 5 formed along with the periphery, a bump's 7 array pitch and bump size can be enlarged, and formation of a many-items child of an input/output terminal 5, easy-ization of flip chip mounting of a semiconductor chip, etc. can be attained.

[0007]

[Problem(s) to be Solved by the Invention] By the way, as shown in drawing 16 and drawing 18, when a power circuit 11, an operational amplifier (operational amplifier) 12, a comparison amplifier (comparator) 13, the RF receive section 14, the RF transmitting section 15, RF synthesizer section 16, Boolean part 17, the memory section 18, etc. carry out a block division, and are formed and the higher security engine performance is required, a microprocessor may be built in the circuit forming face of the semiconductor chip applied to a semiconductor device. When, as for said power circuit 11, an operational amplifier 12, a comparison amplifier 13, the RF receive section 14, the RF transmitting section 15, and RF synthesizer section 16, the memory section 18 also uses EEPROM etc. as a memory device by most consisting of analog circuits, analog circuits, such as a voltage booster circuit and an amplifying circuit, exist in a part. On the other hand, as for Boolean part 17, most consists of digital circuits. In addition, there are some which equipped said a part of analog circuit with the coil section in the semiconductor chip for semiconductor device loading known conventionally.

[0008] In the semiconductor chip 1 on chip coil [ with which the rewiring layer 3 was formed in one ] type, and the CSP type semiconductor chip 8, since the circuit forming face and the rewiring layer 3 of semiconductor chips 1 and 8 approach and are arranged through the insulating layer 2 which has a comparatively high dielectric constant, as typically shown in drawing 20, parasitic capacitance C is formed between the circuits and the rewiring layers 3 which were formed in the circuit forming face.

[0009] as any consideration is not carried out about an appropriate bad influence when it is alike and parasitic capacitance C is generated by the formation section of an analog circuit in the semiconductor chip 1 on chip coil type [ conventional ] and the CSP type semiconductor chip 8, either but it is shown in drawing 16 thru/or drawing 19, antenna coil 4 or the wiring 5 for a bump setup is formed also in the formation section of an analog circuit, and the location which counters.

[0010] For this reason, the semiconductor chip 1 on chip coil type [ conventional ] and the CSP type semiconductor chip 8 Parasitic capacitance C is formed between the analog circuits and the rewiring layers 3 which were formed in the circuit forming face. The electromotive force (alternating current) and parasitic capacitance C which were generated in the rewiring layer 3 join together, and an electrostatic-induction noise is produced. Further Since it originates in the electrostatic-induction noise concerned and a cross talk noise, a ringing (LC resonance gap), a power supply noise, etc. occur, there is a problem of being easy to produce incorrect actuation and deterioration of a communication link property.

[0011] Moreover, since the circuit forming face and the rewiring layer 3 are arranged through the insulating layer 2 at opposite, the semiconductor chip 1 on chip coil type [ conventional ] and the CSP type semiconductor chip 8 also tend to generate an electromagnetic-induction noise in each circuit formed in the circuit forming face, and also tend to produce the incorrect actuation resulting from this, and deterioration of a communication link property.

[0012] Noises, such as a cross talk noise resulting from said electrostatic-induction noise or an electromagnetic-induction noise, a ringing, and a power supply noise, have big effect on a coil etc. at the voltage booster circuit with which analog circuits, such as said power circuit 11, an operational amplifier 12, a comparison amplifier 13, the RF receive section 14, the RF transmitting section 15, and RF synthesizer section 16, the operational amplifier 12 which deals with a minute voltage waveform especially and a comparison amplifier 13, and the memory section 18 which deals with a minute signal were equipped and an amplifying circuit, and it Moreover, since the circuit where the frequency of the voltage waveform to deal with or a signal is higher does a big bad influence, these noises need to control generating of said noise especially in the semiconductor chip corresponding to the RF applied, for example to a cellular phone etc.

[0013] This invention has the place which it is made in order to solve this technical problem, and is made into the technical problem in really [ rewiring layer ] which can produce neither the incorrect actuation by the noise, nor deterioration of a communication link property easily offering a formal semiconductor chip, and a communication link property offering a good semiconductor device.

[0014]

[Means for Solving the Problem] This invention made all or a part, and said rewiring layer of analog circuits formed [ 1st ] in said circuit forming face in a semiconductor chip which really comes to form a rewiring layer on a circuit forming face through an insulating layer a configuration of arranging so that it may not overlap through said insulating layer, about a semiconductor chip in order to solve said technical problem.

[0015] Thus, if an analog circuit and a rewiring layer which were formed in a circuit forming face of a semiconductor chip are arranged so that it may not overlap through an insulating layer, since parasitic capacitance will not be formed between an analog circuit and a rewiring layer, generating of an electrostatic-capacity noise which acts on an analog circuit can be prevented. Moreover, since an analog circuit and a rewiring layer are not arranged at opposite, generating of an electromagnetic-induction noise which acts on an analog circuit can be prevented. Therefore, generating of a cross talk noise resulting from these electrostatic-induction noise or an electromagnetic-induction noise, a ringing, a power supply noise, etc. is prevented, and incorrect actuation which really [ rewiring layer ] corresponding to a RF originates in a noise also about a form semiconductor chip, and deterioration of a communication link property can be canceled. In addition, if it arranges so that a rewiring layer may not be overlapped about an analog circuit which is especially easy to be influenced of a noise even if it does not arrange so that a rewiring layer may be overlapped about no analog circuits formed in a circuit forming face, neither incorrect actuation which originates in a noise practically, nor deterioration of a communication link property will become a problem. Moreover, since a digital circuit cannot be easily influenced of a noise compared with an analog circuit, even if it laps a rewiring layer through an insulating layer on a digital circuit formed in a circuit forming face, incorrect actuation is not really [ rewiring layer ] produced in a formal semiconductor chip, or it does not produce deterioration of a communication link property.

[0016] This invention was made a configuration of a power circuit formed [ 2nd ] in said circuit forming face in a semiconductor chip which really comes to form a rewiring layer on a circuit forming face through an insulating layer, an operational amplifier, a comparison amplifier, RF receive section, RF transmitting section, and the RF synthesizer sections of arranging so that any one and said rewiring layer may not be overlapped through said insulating layer at least, about a semiconductor chip.

[0017] As described above, a power circuit formed in a circuit forming face, an operational amplifier, a comparison amplifier, RF receive section, RF transmitting section, and RF synthesizer section are constituted with an analog circuit where most tends to be influenced of a noise. Therefore, if these each circuit block and rewiring layers are arranged so that it may not overlap through an insulating layer, generating of a cross talk noise resulting from an electrostatic-induction noise or an electromagnetic-induction noise, a ringing, a power supply noise, etc. can be prevented about each circuit block, and incorrect actuation resulting from a noise and deterioration of a communication link property can be canceled.

[0018] This invention made a coil formed [ 3rd ] in said circuit forming face in a semiconductor chip which really comes to form a rewiring layer on a circuit forming face through an insulating layer, and said rewiring layer a configuration of arranging so that it may not overlap through said insulating layer, about a semiconductor chip.

[0019] \*\* -- if a coil and a rewiring layer concerned are arranged so that it may not overlap through an insulating layer, since neither an electrostatic-induction noise nor an electromagnetic-induction noise can act on a coil easily and generating of a ringing etc. can be prevented like about a semiconductor chip with which a coil was formed in a circuit forming face, incorrect actuation resulting from a noise and deterioration of a communication link property are cancelable.

[0020] About a semiconductor chip, this invention had the rewiring layer of a publication in said 1st thru/or 3rd technical-problem solution means the 4th, and made it a configuration of forming antenna coil for a non-contact communication link connected at an input/output terminal in which both ends were formed at said circuit forming face.

[0021] \*\* -- if antenna coil for a non-contact communication link is formed with a rewiring layer, since KOIRUONCHIPPU excellent in noise-proof nature can be obtained like, a non-contact type semiconductor device which made it low cost and was excellent in noise-proof nature can be manufactured.

[0022] About a semiconductor chip, it had the rewiring layer of a publication in said 1st thru/or 3rd technical-problem solution means

the 5th, and connected with an input/output terminal by which an end was formed in said circuit forming face, and this invention was made a configuration of forming wiring for a bump setup with which a bump was formed in the other end.

[0023] \*\* -- if wiring for a bump setup is formed with a rewiring layer, since a semiconductor chip excellent in noise-proof nature CSP type can be obtained like, a semiconductor device which made it a many-items child and was excellent in noise-proof nature can be obtained.

[0024] A circuit formed in the 6th at a circuit forming face given in said 1st thru/or 5th technical-problem solution means made this invention a configuration that it was the radio-communications circuit formed of a CMOS technology, about a semiconductor chip.

[0025] A wireless chip from which an applicant for this patent was manufactured by CMOS technology by experiment carried out learning of the fact that dispersion in each transistor characteristics is large compared with a transistor manufactured with Si bipolar technology, and effect of [ when a rewiring layer is formed on an analog circuit ] is large since the property of a dynamic range etc. tends to deteriorate under the effect of stray capacity etc. According to the simulation, increasing also 2 to 8 times was checked as compared with a case where effect on a radio-communications property by rewiring on an analog circuit uses Si bipolar technology. Therefore, deterioration of the communication link property of this kind that is especially easy to be influenced of a rewiring layer of semiconductor chip can be prevented by arranging a rewiring layer about a semiconductor chip with which a radio-communications circuit was formed in a circuit forming face of a CMOS technology, so that a rewiring layer may not be formed on an analog circuit.

[0026] A circuit formed in the 7th at a circuit forming face given in said 1st thru/or 6th technical-problem solution means made this invention a configuration that it was the radio-communications circuit which transmits, receives, or transmits and receives a signal with a frequency of 800MHz or more, between external devices about a semiconductor chip.

[0027] An applicant for this patent did rapidly learning of the fact that a communication link property deteriorates, when, as for effect on a radio-communications property by rewiring on an analog circuit, frequency was set to 800MHz or more by experiment depending on frequency for radio communications. This will be considered for according to the skin effect which flows a surface of rewiring, if current which flows the inside of rewiring becomes the high frequency of 800MHz or more to flowing near the center of rewiring when it transmits and receives about several MHz low frequency. Effect on a circuit by the skin effect also becomes a cause to a rise of an error rate by noise, a rapid reduction of a communication range, as a result communication link impossible. Therefore, deterioration of the communication link property of this kind that is especially easy to be influenced of a rewiring layer of semiconductor chip can be prevented by arranging a rewiring layer about a semiconductor chip with which a radio-communications circuit which transmits, receives, or transmits and receives a signal with a frequency of 800MHz or more was formed, so that a rewiring layer may not be formed on an analog circuit.

[0028] On the other hand, in order that this invention may solve the aforementioned technical problem, it is related with a semiconductor device. In a semiconductor device which comes to carry a semiconductor chip in a base of a predetermined size and a predetermined configuration the 1st It was made a configuration of carrying a semiconductor chip arranged so that all or parts, and said rewiring layers of analog circuits which a rewiring layer was really formed on a circuit forming face through an insulating layer as said semiconductor chip, and were formed in said circuit forming face might not overlap through said insulating layer.

[0029] \*\* -- if a semiconductor chip arranged so that analog circuits and rewiring layers which were formed in a circuit forming face might not overlap through an insulating layer like is carried, since neither incorrect actuation which originates in an analog circuit of a semiconductor chip at an electrostatic-induction noise or an electromagnetic-induction noise, nor deterioration of a communication link property will arise, a communication link property can obtain a good semiconductor device.

[0030] In a semiconductor device with which this invention comes to carry a semiconductor chip in a base of a predetermined size and a predetermined configuration the 2nd about a semiconductor device As said semiconductor chip, a rewiring layer is really formed on a circuit forming face through an insulating layer. And a power circuit formed in said circuit forming face, an operational amplifier, a comparison amplifier, It was made a configuration of carrying a semiconductor chip of RF receive section, RF transmitting section, and the RF synthesizer sections arranged so that any one and said rewiring layers might not overlap through said insulating layer at least.

[0031] \*\* -- a power circuit formed in a circuit forming face like, an operational amplifier, and a comparison amplifier -- If a semiconductor chip of RF receive section, RF transmitting section, and the RF synthesizer sections arranged so that any one and rewiring layers might not overlap through an insulating layer at least is carried Since neither incorrect actuation which originates in these circuits that are easy to receive a bad influence of a noise most strongly at an electrostatic-induction noise or an electromagnetic-induction noise, nor deterioration of a communication link property arises, a communication link property can obtain a good semiconductor device.

[0032] In a semiconductor device with which this invention comes to carry a semiconductor chip in a base of a predetermined size and a predetermined configuration the 3rd about a semiconductor device It was made a configuration of carrying a semiconductor chip arranged so that a coil which a rewiring layer was really formed on a circuit forming face through an insulating layer as said semiconductor chip, and was formed in said circuit forming face, and said rewiring layers might not overlap through said insulating layer.

[0033] \*\* -- if a semiconductor chip arranged so that coils and rewiring layers which were formed in a circuit forming face might not overlap through an insulating layer like is carried, since neither an electrostatic-induction noise nor an electromagnetic-induction noise will act on a coil which is easy to receive a bad influence of a noise strongly, a communication link property can obtain a good semiconductor device.

[0034]

[Embodiment of the Invention] The <1st example of a semiconductor chip> The 1st example of the semiconductor chip concerning this invention is explained based on drawing 1 and drawing 2 . Drawing 1 is the plan of semiconductor chip 1A concerning the example of the 1st operation gestalt, and drawing 2 is the A-A cross section of drawing 1 .

[0035] Semiconductor chip 1A of this example is a semiconductor chip on chip coil type, as shown in drawing 1 and drawing 2 , the rewiring layer 3 is formed on circuit forming face 1a through an insulating layer 2, and antenna coil 4 is formed in one with the

rewiring layer 3 concerned. And in semiconductor chip 1A of this example, the analog circuit 21 formed in a part for the center section of circuit forming face 1a is avoided, and square shape spiral-like antenna coil 4 is formed in the circumference portion. [0036] Said analog circuit 21 may be one of the analog circuits which may concentration-ize all the analog circuits that should be formed in semiconductor chip 1A, and is easy to receive especially the effect of a noise in said power circuit 11, an operational amplifier 12, a comparison amplifier 13, the RF receive section 14, the RF transmitting section 15 and RF synthesizer section 16, and it, for example like the voltage booster circuit which constitutes said a part of memory section 18, or an amplifying circuit.

Furthermore, you may be the coil with which a part of analog circuit formed in semiconductor chip 1A was equipped.

[0037] Semiconductor chip 1A of this example is produced by forming the rewiring layer 3 through an insulating layer 2 on circuit forming face 1a of the semiconductor chip (completion wafer before being started by each semiconductor chip in practice) which becomes a radical. Although the semiconductor chip of the arbitration which belongs well-known can be used as a semiconductor chip which becomes the radical of semiconductor chip 1A of this example, in order to attain thin form-ization of the non-contact type semiconductor device which is a final product, especially the thing for which agenesis side 1b of a circuit uses the bare chip formed into the thin form by the combination of chemical polishing, mechanical polishing, or these means is desirable. The thickness has desirable 300 micrometers or less, and it is desirable to make it 50 micrometers - about 150 micrometers about what is applied to especially the card of a thin form. Moreover, that by which the radio-communications circuit was formed in the circuit forming face of the CMOS technology, and the thing by which the radio-communications circuit which transmits, receives, or transmits and receives a signal with a frequency of 800MHz or more between external devices was formed in the circuit forming face can also be used.

[0038] In addition, in the example of drawing 1, although two or more turn winding of the antenna coil 4 is carried out, about the number of turns of the antenna coil 4 concerned, it is not limited to this, and can consider as the number of turns of the arbitration of 1 or more \*\*\*\*\*s. Furthermore, also about the shape of a plan type of antenna coil 4, it is not limited to the example of drawing 1 and drawing 2, and it can bevel to a corner, for example, deterioration of the communication link property by the size effect can also consider as few configurations. Moreover, the laminating of an insulating layer 2 and the rewiring layer 3 can be carried out to multistage, and the number of turns of antenna coil 4 can also be made [ many ].

[0039] Since semiconductor chip 1A of this example was arranged so that the analog circuit 21 formed in a part for the center section of circuit forming face 1a might be avoided, antenna coil 4 might be formed and an analog circuit 21 and antenna coil 4 might not overlap mutually, parasitic capacitance is not formed between an analog circuit 21 and antenna coil 4, but it can prevent generating of the electrostatic-capacity noise which acts on an analog circuit 21. Moreover, since an analog circuit 21 and antenna coil 4 are not arranged at opposite, generating of the electromagnetic-induction noise which acts on an analog circuit 21 can be prevented. therefore, generating of the cross talk noise resulting from these electrostatic-induction noise or an electromagnetic-induction noise, a ringing, a power supply noise, etc. prevents -- having -- the coil corresponding to a RF -- even if it attaches on chip, the incorrect actuation resulting from a noise and deterioration of a communication link property are cancelable.

[0040] Especially when that by which the radio-communications circuit was formed in the circuit forming face of the CMOS technology is used as a semiconductor chip which becomes the radical of semiconductor chip 1A especially, deterioration of the communication link property of this kind that is easy to be influenced of the rewiring layer 3 (antenna coil 4) of semiconductor chip can be prevented. Moreover, especially when that by which the radio-communications circuit which transmits, receives, or transmits and receives a signal with a frequency of 800MHz or more between external devices was formed in the circuit forming face as a semiconductor chip which becomes the radical of semiconductor chip 1A is used, deterioration of the communication link property of this kind that is easy to be influenced of the rewiring layer 3 (antenna coil 4) of semiconductor chip can be prevented.

[0041] The <2nd example of a semiconductor chip> The 2nd example of the semiconductor chip concerning this invention is explained based on drawing 3 . Drawing 3 is the plan of semiconductor chip 1B concerning the example of the 2nd operation gestalt.

[0042] Semiconductor chip 1B of this example is also a semiconductor chip on chip coil type, as shown in drawing 3 , the rewiring layer 3 is formed on circuit forming face 1a through an insulating layer 2, and antenna coil 4 is formed in one with the rewiring layer 3 concerned. And in semiconductor chip 1B of this example, the analog circuit 21 formed in the corner section of circuit forming face 1a is avoided, and variant spiral-like antenna coil 4 is formed in the circumference portion. About others, since it is the same as semiconductor chip 1A concerning said example of the 1st operation gestalt, explanation is omitted.

[0043] Since it arranged so that the analog circuit 21 formed in the corner section of circuit forming face 1a might be avoided , antenna coil 4 might be formed and an analog circuit 21 and antenna coil 4 might not overlap mutually , the effect of the noise which acts on an analog circuit 21 can be cancel , and semiconductor chip 1B of this example can also acquire the same effect as semiconductor chip 1A concerning said example of the 1st operation gestalt .

[0044] The <3rd example of a semiconductor chip> The 3rd example of the semiconductor chip concerning this invention is explained based on drawing 4 and drawing 5 . Drawing 4 is the plan of semiconductor chip 1C concerning the example of the 3rd operation gestalt, and drawing 5 is the B-B cross section of drawing 4 .

[0045] As semiconductor chip 1C of this example is a CSP type semiconductor chip and it is shown in drawing 4 and drawing 5 The rewiring layer 3 is formed on circuit forming face 1a through an insulating layer 2, and it has the rewiring layer 3 concerned. The wiring 6 for a bump setup with which the end was connected to the input/output terminal 5, and the other end was arranged all over semiconductor chip 1C is formed, and the bump 7 is formed in the other end of the wiring 6 for a bump setup concerned. And in semiconductor chip 1C of this example, the analog circuit 21 formed in a part of circuit forming face 1a is avoided, the wiring 6 for a bump setup is taken about by the circumference portion, and the bump 7 is arranged bordering on the formation portion of an analog circuit 21 only in the side. About others, since it is the same as semiconductor chip 1A concerning said example of the 1st operation gestalt, explanation is omitted.

[0046] Semiconductor chip 1C of this example also avoids the analog circuit 21 formed in a part of circuit forming face 1a, and forms the wiring 6 for a bump setup, and a bump 7. Since it arranged so that an analog circuit 21, the wiring 6 for these bumps setup, and bumps 7 might not overlap mutually, the effect of the noise which acts on an analog circuit 21 can be canceled, and the same effect as semiconductor chip 1A concerning said example of the 1st operation gestalt can be acquired.

[0047] The <4th example of a semiconductor chip> The 4th example of the semiconductor chip concerning this invention is explained based on drawing 6. Drawing 6 is the plan of semiconductor chip 1D concerning the example of the 4th operation gestalt.

[0048] Semiconductor chip 1D of this example is also a CSP type semiconductor chip, as shown in drawing 6, the wiring 6 for a bump setup with which the rewiring layer 3 was formed on circuit forming face 1a through the insulating layer 2, it had the rewiring layer 3 concerned, and the end was connected to the input/output terminal 5, and the other end was arranged all over semiconductor chip 1D is formed, and the bump 7 is formed in the other end of the wiring 6 for a bump setup concerned. And in semiconductor chip 1D of this example, the analog circuit 21 formed in a part of circuit forming face 1a is avoided, the wiring 6 for a bump setup is taken about by the circumference portion, and the bump 7 is arranged bordering on the formation portion of an analog circuit 21 in the upper part and side. About others, since it is the same as semiconductor chip 1C concerning said example of the 3rd operation gestalt, explanation is omitted.

[0049] The analog circuit 21 formed in a part of circuit forming face 1a is avoided, the wiring 6 for a bump setup and a bump 7 are formed, and since it arranged so that an analog circuit 21, the wiring 6 for these bumps setup, and bumps 7 might not overlap mutually, semiconductor chip 1C of this example can also acquire the same effect as semiconductor chip 1C concerning said example of the 3rd operation gestalt.

[0050] The <5th example of a semiconductor chip> The 5th example of the semiconductor chip concerning this invention is explained based on drawing 7. Drawing 7 is the plan of semiconductor chip 1E concerning the example of the 5th operation gestalt.

[0051] Semiconductor chip 1E of this example is also a CSP type semiconductor chip, as shown in drawing 7, the wiring 6 for a bump setup with which the rewiring layer 3 was formed on circuit forming face 1a through the insulating layer 2, it had the rewiring layer 3 concerned, and the end was connected to the input/output terminal 5, and the other end was arranged all over semiconductor chip 1E is formed, and the bump 7 is formed in the other end of the wiring 6 for a bump setup concerned. And in semiconductor chip 1E of this example, the analog circuit 21 formed in two places of circuit forming face 1a is avoided, the wiring 6 for a bump setup is taken about by the circumference portion, and the bump 7 is arranged by front and rear, right and left of the formation portion of an analog circuit 21. About others, since it is the same as semiconductor chip 1C concerning said example of the 3rd operation gestalt, explanation is omitted.

[0052] The analog circuit 21 formed in a part of circuit forming face 1a is avoided, the wiring 6 for a bump setup and a bump 7 are formed, and since it arranged so that an analog circuit 21, the wiring 6 for these bumps setup, and bumps 7 might not overlap mutually, semiconductor chip 1E of this example can also acquire the same effect as semiconductor chip 1C concerning said example of the 3rd operation gestalt.

[0053] The <1st example of the formation method of a rewiring layer> The 1st example of the formation method of the rewiring layer 3 which constitutes said antenna coil 4 or the wiring 6 for a bump setup is hereafter explained based on drawing 8 thru/or drawing 10. The so-called plan of the completion wafer with which drawing 8 was completed through predetermined process processing, process drawing in which drawing 9 shows the 1st example of the formation method of the rewiring layer 3, and drawing 10 are the plans of a completion wafer in which the rewiring layer 3 was formed.

[0054] As shown in drawing 8, the circuit 32 for many semiconductor chips is formed in the inner circumference portion except the outermost periphery at equal intervals, and the necessary surface-protection film 33 (refer to drawing 9) is formed in the circuit forming face side at the completion wafer 31.

[0055] In the 1st example of the formation method of the rewiring layer shown in drawing 9, as first shown in drawing 9 (a), on the surface-protection film 33 formed in the circuit forming face of the completion wafer 31, aluminum, an aluminium alloy, copper, or a copper alloy is used, and a metal spatter layer or the metal vacuum evaporationo layer 34 is formed at homogeneity. Subsequently, as shown in drawing 9 (b), a photoresist layer 35 is formed in homogeneity on the metal spatter layer concerned or the metal vacuum evaporationo layer 34, the mask 36 with which the necessary pattern which includes antenna coil 4 or the wiring 6 for a bump setup in the formed photoresist layer 35 was formed is put, the light 37 of predetermined wavelength is irradiated from the outside of a mask 36, and a photoresist layer 35 is exposed. As the development of the photoresist layer 35 exposed by after an appropriate time is performed and it is shown in drawing 9 (c), the exposure portion of a photoresist layer 35 is removed and said exposure pattern of said metal spatter layer or the metal vacuum evaporationo layer 34 and a corresponding portion are exposed. As shown in drawing 10, the lead section 38 which connects the ring-like polar zone 37, the antenna coil 4 or the wiring 6 for a bump setup formed in the portion except said analog circuit 21, and these polar zone 37, each antenna coil 4 or each wiring 6 for a bump setup is contained in the exposure pattern of a metal spatter layer or the metal vacuum evaporationo layer 34. Subsequently, as electroplating or precision electrocasting is performed to a part for the outcrop of a metal spatter layer or the metal vacuum evaporationo layer 34 and said polar zone 37 is shown in drawing 9 (d) as one electrode, the laminating of the metal plating layer 39 is carried out to a part for the outcrop of a metal spatter layer or the metal vacuum evaporationo layer 34. Subsequently, ashing processing etc. removes the photoresist layer 35 adhering to the surface of the completion wafer 31, and as shown in drawing 9 (e), the completion wafer 31 with which the metal plating layer 39 which has the polar zone 37, antenna coil 4 or the wiring 6 for a bump setup, and the lead section 38 was formed on the uniform metal spatter layer or the metal vacuum evaporationo layer 34 is obtained. Subsequently, the metal spatter layer or the metal vacuum evaporationo layer 34 exposed from the metal plating layer 39 is etched alternatively, and as shown in drawing 9 (f), the metal spatter layer or the metal vacuum evaporationo layer 34 exposed from the metal plating layer 39 is removed. The completion wafer 31 with which the metal spatter layer or the metal vacuum evaporationo layer 34, and the metal plating layer 39 were formed is obtained by this. Scribing of said completion wafer 31 is carried out to the last, and the necessary semiconductor chip IC elements 1A-1E shown in drawing 1 thru/or drawing 7 are obtained.

[0056] In addition, in this example, although electroplating or precision electroforming was used as means forming of the metal plating layer 39, it can replace with this configuration and said metal plating layer 39 can also be formed using a nonelectrolytic plating method. In this case, since an electrode is not needed for formation of the metal plating layer 39, on the occasion of exposure of a photoresist layer 35, formation of the polar zone 37 and formation of the lead section 38 become unnecessary.

[0057] Nonelectrolytic plating is also called chemical plating, dips a base metal into the metal salting in liquid of a plating metal,

deposits a metal ion on the base surface, and has the feature that the plating layer which has thickness the adhesion force is strong and uniform [ the force ] and sufficient with comparatively easy equipment is obtained. When said metal salt serves as a source of supply of the metal ion to galvanize and it galvanizes copper, solutions, such as a copper sulfate, a cupric chloride, and a copper nitrate, are used as plating liquid. Metal ions, such as copper, deposit only on the metal spatter layer used as a base, or the metal vacuum evaporationo layer 34, and do not deposit on the insulating surface-protection layer 33. Base material has a small ionization tendency to a plating metal ion, and it is necessary to have a catalysis to a deposit of a plating metal ion. For this reason, when galvanizing copper on the metal spatter layer which consists of aluminum, or the metal vacuum evaporationo layer 6, it is desirable to perform pretreatment which forms nickel in the surface of an aluminum layer at the thickness of several micrometers or less, dips in zinc nitrate liquid for several seconds, and is replaced by zinc.

[0058] On the other hand, electroplating and precision electroforming are immersed in the electrode which consists of a completion wafer 31 with which the metal spatter layer or the metal vacuum evaporationo layer 34 was formed during the plating bath containing the ion of a plating metal, and a plating metal. It is the method of impressing voltage by making into an anode plate the electrode immersed during cathode and a plating bath in the metal spatter layer or the metal vacuum evaporationo layer 34 formed in the completion wafer 31, and depositing the metal ion under plating bath on the surface of a metal spatter layer or the metal vacuum evaporationo layer 34. When electroplating and precision electroforming also galvanize copper, solutions, such as a copper sulfate, a cupric chloride, and a copper nitrate, are used as plating liquid.

[0059] The formation method of the rewiring layer 3 of this example forms the necessary electric conduction pattern which includes necessary antenna coil 4 or the wiring 6 for a bump setup in the completion wafer 31. Since scribing of the completion wafer 31 was carried out to after an appropriate time and it was made the configuration of obtaining the necessary semiconductor chips 1A-1E the case where antenna coil 4 or the wiring 6 for a bump setup is formed in each semiconductor chip -- comparing -- a coil -- on chip or a CSP type semiconductor chip can be manufactured in high efficiency, and the manufacturing cost can be reduced. Moreover, since the antenna coil 4 of uniform thickness or the wiring 6 for a bump setup can be formed in high degree of accuracy to all the semiconductor chips formed in the wafer 31, dispersion in a communication link property can be made small. Furthermore, although an unnecessary conductor will adhere to the periphery section of semiconductor chips 1A-1E and the insulation of a semiconductor chip will become a problem if antenna coil 4 or the wiring 6 for a bump setup is formed using a spatter or a vacuum deposition method, and plating about each semiconductor chips 1A-1E When the necessary electric conduction pattern which includes antenna coil 4 or the wiring 6 for a bump setup in the completion wafer 31 is formed Since this section is the portion which should be disposed of from the first as a garbage even if an unnecessary conductor adheres to the periphery section of the completion wafer 31 in the time of a spatter etc., it does not have a bad influence on the insulation of each semiconductor chips 1A-1E. In addition, the formation method of the rewiring layer 3 of this example forms the metal plating layer 39 in the condition that there is a photoresist layer 35. Since etching removed the portion by which the laminating of the metal plating layer 39 of a metal spatter layer or the metal vacuum evaporationo layer 34 is not carried out to after an appropriate time Since the laminating of the metal plating layer 39 is carried out only to the upper surface of a metal spatter layer or the metal vacuum evaporationo layer 34 and it does not spread crosswise as shown in drawing 8 (e) Precise antenna coil 4 or the wiring 6 for a bump setup can be formed, and antenna coil 4 with many number of turns or much wiring 6 for a bump setup can be formed in a narrow area.

[0060] The <2nd example of the formation method of a rewiring layer> Subsequently the 2nd example of the formation method of the rewiring layer 3 is explained based on drawing 11 . Drawing 11 is process drawing showing the 2nd example of the formation method of the rewiring layer 3.

[0061] By the formation method of the rewiring layer 3 of this example, as shown in drawing 11 (a), a photoresist layer 35 is formed in homogeneity on the surface-protection film 33 formed in the completion wafer 31, the mask 35 with which the necessary pattern which includes antenna coil 4 or the wiring 6 for a bump setup in the formed photoresist layer 35 was formed is put, the light 37 of predetermined wavelength is irradiated from the outside of a mask 36, and a photoresist layer 35 is exposed. As the development of the exposed photoresist layer 35 is performed after an appropriate time and it is shown in drawing 11 (b), the exposure portion of a photoresist layer 35 is removed and said exposure pattern of the surface-protection film 33 and a corresponding portion are exposed. The exposure pattern of a photoresist layer 35 can be made into the configuration containing the antenna coil 4 or the wiring 6 for a bump setup formed in the portion except the polar zone 37 and said analog circuit 21, and the lead section 38 as shown in drawing 10 . Subsequently, a sputtering system or a vacuum evaporation system is equipped with the completion wafer 31 after a development, and as shown in drawing 11 (c), a metal spatter layer or the metal vacuum evaporationo layer 34 is formed in a part for the outcrop of said surface-protection film 33. Subsequently, as shown in drawing 11 (d), after ashing processing etc. removes the photoresist layer 35 adhering to the completion wafer 31, as electroplating is given to a metal spatter layer or the metal vacuum evaporationo layer 34 and the polar zone 37 is shown in drawing 11 (e) as one electrode, the laminating of the metal plating layer 39 is carried out to a part for the outcrop of a metal spatter layer or the metal vacuum evaporationo layer 34. Scribing of said completion wafer 31 is carried out to the last, and the necessary semiconductor chip IC elements 1A-1E shown in drawing 1 thru/or drawing 7 are obtained.

[0062] In addition, also in the formation method of the rewiring layer 3 of this example, although electroplating was used as means forming of the metal plating layer 39, it can replace with this configuration and said metal plating layer 39 can also be formed using a nonelectrolytic plating method. In this case, since an electrode is not needed for formation of the metal plating layer 39, on the occasion of exposure of a photoresist layer 35, formation of the polar zone 37 and formation of the lead section 38 become unnecessary.

[0063] since the formation method of the rewiring layer 3 of this example has the same effect as the formation method of the rewiring layer 3 concerning said 1st example and also can lessen the routing counter for forming an electric conduction pattern in the completion wafer 31 -- a coil -- on chip or a CSP type semiconductor chip can be manufactured more in high efficiency.

[0064] The <1st example of a semiconductor device> Next, the 1st example of the semiconductor device concerning this invention is explained based on drawing 12 . Drawing 12 is the cross section of the semiconductor device 40 concerning the example of the 1st operation gestalt.

[0065] The semiconductor device 40 concerning the example of the 1st operation gestalt is characterized by carrying out casing of said coil type on chip of semiconductor chip 1A or 1B into the base which consists of an adhesives layer 41 and a cover sheet 42 of two sheets, as shown in drawing 12. Since it excels in mass-production nature as adhesives which constitute the adhesives layer 41 although the adhesives of the arbitration which belongs well-known can be used if it has necessary bond strength, especially the thing for which hot melt adhesive is used is desirable. Moreover, as a cover sheet 42, if it has necessary reinforcement and printing nature, especially the thing for which a macromolecule sheet and paper with little generating of harmful matter are used even if it destroys by fire, for example like polyethylene terephthalate although the sheet material of the arbitration which belongs well-known can be used is desirable. The semiconductor device 40 of this example fixes semiconductor chip 1A or 1B on the adhesives layer 41 of the 1st cover sheet 42 by which the adhesives layer 41 was formed in one side, and can form it by subsequently to one side pasting up the adhesives layer 41 of the 2nd cover sheet 42 by which the adhesives layer 41 was formed in the semiconductor chip adhesion side of said 1st cover sheet 42.

[0066] Since the semiconductor device 40 of this example carried semiconductor chip 1A or 1B arranged so that an analog circuit 21 and antenna coil 4 might not overlap through an insulating layer 2, parasitic capacitance is not formed between an analog circuit 21 and antenna coil 4, but it can prevent generating of the electrostatic-capacity noise which acts on an analog circuit 21. Moreover, since an analog circuit 21 and antenna coil 4 are not arranged at opposite, generating of the electromagnetic-induction noise which acts on an analog circuit 21 can be prevented. Therefore, generating of the cross talk noise resulting from these electrostatic-induction noise or an electromagnetic-induction noise, a ringing, a power supply noise, etc. is prevented, and the communication link property of a non-contact semiconductor device of having carried semiconductor chip 1A or 1B on chip coil type can be improved. Moreover, since it can manufacture only by carrying out casing of necessary semiconductor chip 1A or 1B by the cover sheet 42 of two sheets, it can manufacture cheaply and micro.

[0067] The <2nd example of a semiconductor device> Next, the 2nd example of the semiconductor device concerning this invention is explained based on drawing 13 and drawing 14. The cross section of the semiconductor device which drawing 13 requires for the example of the 2nd operation gestalt, and drawing 14 are the plans of the booster coil with which the semiconductor device concerning the example of the 2nd operation gestalt is equipped.

[0068] As the semiconductor device 50 concerning the example of the 2nd operation gestalt is shown in drawing 13, said coil type on chip of semiconductor chip 1A or 1B, The insulating substrate 52 in which the booster coil 51 for strengthening the electromagnetic coupling of the antenna coil 4 really formed in these semiconductor chip 1A or 1B and the antenna coil with which the reader writer which is not illustrated was equipped was formed It is characterized by carrying out casing into the base which consists of an adhesives layer 41 and a cover sheet 42.

[0069] As shown in drawing 14, a booster coil 51 consists of 1st coil 51a with small wound diameter a, and 2nd coil 51b with a big wound diameter, and each other is connected electrically. 1st coil 51a is a coil by which an electromagnetic coupling is mainly carried out to the antenna coil 4 really formed in semiconductor chip 1A or 1B, and it is formed in that the shape of a plan type and size are the same as that of the antenna coil 4 really formed in semiconductor chip 1A or 1B, or an analog. On the other hand, 2nd coil 51b is a coil which mainly carries out an electromagnetic coupling to the antenna coil with which the reader writer was equipped, and the shape of a plan type and size are formed as greatly as possible in the range settled in the base constituted by the adhesives layer 41 and the cover sheet 42. In addition, although 1st coil 51a and 2nd coil 51b are formed in the example of drawing 14 in the shape of [ which both has two or more numbers of turns ] a rectangle spiral, the shape of the number of turns or a plan type of each coils 51a and 51b are not limited to this, and can be formed in arbitration. This booster coil 51 can use conductive ink for the etching method which etches into the conductive metal layer of the homogeneity thickness formed in one side of an insulating substrate 52, and forms a necessary coil pattern, and one side of an insulating substrate 52, and can form a necessary coil pattern with the print processes which carry out printing formation.

[0070] In addition, about the class of sheet material which constitutes the class and cover sheet 42 of the adhesives which constitute the adhesives layer 41, since it is the same as the semiconductor device 40 concerning the example of the 1st operation gestalt, in order to avoid duplication, explanation is omitted.

[0071] since the semiconductor device 50 of this example had the same effect as the semiconductor device 40 concerning the example of the 1st operation gestalt and also was equipped with the booster coil, it is effective in the ability to strengthen the electromagnetic coupling of the antenna coil 4 really formed in semiconductor chip 1A or 1B, and the antenna coil with which the reader writer which is not illustrated was equipped.

[0072] The <3rd example of a semiconductor device> Next, the 2nd example of the semiconductor device concerning this invention is explained based on drawing 15. Drawing 15 is the important section cross section of the semiconductor device concerning the example of the 3rd operation gestalt.

[0073] Connection 63a to which the semiconductor device 60 concerning the example of the 3rd operation gestalt connects the 1st wiring layer 61, the 1st insulating layer 62, the 2nd wiring layer 63, the 1st wiring layer 61, and the 2nd wiring layer 63 as shown in drawing 15, The 2nd insulating layer 64, semiconductor chip 1C, Other loading components 66, 2nd wiring layer 63, and semiconductor chip 1C The conductor 67 to connect, and the 2nd wiring layer 63 and other loading components 66 The external surface of the mold resin 69 which closes the conductor 68 to connect, and semiconductor chip 1C, other loading components 66 and conductors 67 and 68 to one, the nickel layer (metal membrane) 70 locally formed in the external surface of the 1st wiring layer 61, and the 1st wiring layer 61 The wrap protection resin layer 71, It consists of external terminals 72 formed in the nickel layer 70.

[0074] The 1st wiring layer 61, the 2nd wiring layer 63, and connection 63a are formed by carrying out electroplating (electrocasting) of copper or the copper alloy. As a copper alloy, since it excels in corrosion resistance or adhesion, copper nickel alloys or especially a copper-nickel-silver alloy is suitable. Connection 63a is formed in 1st opening 62a established by the 1st insulating layer 62, and connects electrically the 1st wiring layer 61 and the 2nd wiring layer 63.

[0075] The 1st insulating layer 62, the 2nd insulating layer 64, and the protection resin layer 71 are formed with insulating resin. In addition, as insulating resin, since formation of these 1st insulating layers 62, the 2nd insulating layer 64, and the protection resin layer

71 is made easy, a photopolymer can also be used. 1st opening 62a for forming connection 63a is formed in the 1st insulating layer 62 in a necessary array, and 2nd opening 64a for penetrating conductors 67 and 68 is formed in the 2nd insulating layer 64 in a necessary array.

[0076] As other loading components 66, chips, external connection connectors, etc., such as a transistor, diode, resistance, an inductor, a capacitor, a crystal oscillator, a filter, a balun, an antenna, and a functional module, can be carried. In addition, VCO, PLL, or a power regulator is contained in said functional module.

[0077] As a conductor 68 which connects other loading components 66 and 2nd wiring layer 63, by making it cheap, although conductive paste, anisotropy electric conduction adhesives, etc. can also be used, since reliable connection is possible, especially solder is suitable.

[0078] Mold resin 69 can carry out the resin seal of the connection of said semiconductor chip 1C, other loading components 66, each [ these ] loading components 1C and 66, and the 2nd wiring layer 63 to one, and can form it using various kinds of resin materials conventionally applied to the resin seal of a semiconductor chip.

[0079] The nickel layer 70 makes formation of the external terminal 72 easy, and is formed in the terminal area of the 1st wiring layer 61 which is going to form the external terminal 72.

[0080] Since the external terminal 72 is used in order to connect the semiconductor device 60 concerning this example of an operation gestalt to an external device, for example, a printed-circuit board, it is made cheap and can make reliable connection easily, especially its thing to form with solder is desirable.

[0081] since the semiconductor device 60 of this example had the same effect as the semiconductor device 40 concerning the 1st example and also constituted the wiring means of the loading components 1C and 66 from wiring layers 61 and 63 and protection resin layers 62 and 64, it can omit the portion equivalent to the core material of the conventional multilayer substrate, makes it a thin form, and obtains a cheap semiconductor device -- things are made. Moreover, since wiring layers 61 and 63 were used, compared with the case where the substrate equipped with the wiring layer formed of a leadframe, metallic foil etching, or conductive paste printing is used, the densification, high-degree-of-accuracy-izing, micrifying, and homogenization of a circuit pattern can be attained, it can be made small, and the high semiconductor module of the sex corresponding to a RF can be obtained. Furthermore, since the 2nd wiring layer 63 connected to the 1st wiring layer 61, and this and an electric target was formed in two-layer, the formation area of wiring layers 61 and 63 can be decreased, and the miniaturization of a semiconductor device can be attained.

[0082] In addition, although the wiring layer was formed in two-layer in said example of an operation gestalt, of course, forming in three or more layers is also possible. Moreover, in said example of an operation gestalt, although CSP type semiconductor chip 1C was used as a semiconductor chip, the semiconductor chips 1D and 1E CSP type [ other ] can also be used.

[0083]

[Effect of the Invention] Since invention according to claim 1 arranges the analog circuit and rewiring layer which were formed in the circuit forming face of a semiconductor chip so that it may not overlap through an insulating layer, parasitic capacitance is not formed between an analog circuit and a rewiring layer, but it can prevent generating of the electrostatic-capacity noise which acts on an analog circuit. Moreover, since an analog circuit and a rewiring layer are not arranged at opposite, generating of the electromagnetic-induction noise which acts on an analog circuit can be prevented. Therefore, generating of the cross talk noise resulting from these electrostatic-induction noise or an electromagnetic-induction noise, a ringing, a power supply noise, etc. is prevented, and the incorrect actuation which really [ rewiring layer ] corresponding to a RF originates in a noise also about a form semiconductor chip, and deterioration of a communication link property can be canceled.

[0084] The inside of the analog circuit where invention according to claim 2 was formed in the circuit forming face, Since it arranges so that inside [ it is the power circuit and operational amplifier which are especially easy to be influenced of a noise, a comparison amplifier, RF receive section, RF transmitting section, and RF synthesizer section ] may not overlap any one and a rewiring layer through an insulating layer at least About each circuit block, generating of the cross talk noise resulting from an electrostatic-induction noise or an electromagnetic-induction noise, a ringing, a power supply noise, etc. can be prevented, and the incorrect actuation resulting from a noise and deterioration of a communication link property can be canceled.

[0085] Since invention according to claim 3 arranges the coil which is especially easy to be influenced of a noise among the analog circuits formed in the circuit forming face, and a rewiring layer so that it may not overlap through an insulating layer, neither an electrostatic-induction noise nor an electromagnetic-induction noise can act on the coil concerned easily, and it can cancel the incorrect actuation resulting from a noise, and deterioration of a communication link property.

[0086] Since invention according to claim 4 has a rewiring layer and forms the antenna coil for a non-contact communication link, it can obtain a semiconductor chip on chip coil type [ excellent in noise-proof nature ], and can manufacture the non-contact type semiconductor device which made it low cost and was excellent in noise-proof nature.

[0087] Since invention according to claim 5 has a rewiring layer and forms the wiring for a bump setup, it can obtain a semiconductor chip excellent in noise-proof nature CSP type, and can obtain the semiconductor device which made it the many-items child and was excellent in noise-proof nature.

[0088] Since invention according to claim 6 arranges a rewiring layer about the semiconductor chip with which the radio-communications circuit was formed in the circuit forming face of the CMOS technology so that a rewiring layer may not be formed on an analog circuit, it can prevent deterioration of the communication link property of this kind that is especially easy to be influenced of a rewiring layer of semiconductor chip.

[0089] Since invention according to claim 7 arranges a rewiring layer about the semiconductor chip with which the radio-communications circuit which transmits, receives, or transmits and receives a signal with a frequency of 800MHz or more was formed so that a rewiring layer may not be formed on an analog circuit, it can prevent deterioration of the communication link property of this kind that is especially easy to be influenced of a rewiring layer of semiconductor chip. <BR> [0090] Since invention according to claim 8 carries the semiconductor chip arranged so that the analog circuits and rewiring layers which were formed in the circuit forming face might not overlap through an insulating layer in a semiconductor device, it is hard to produce the incorrect actuation

which originates in the analog circuit of a semiconductor chip at an electrostatic-induction noise or an electromagnetic-induction noise, and deterioration of a communication link property, and it can obtain a semiconductor device with a good communication link property.

[0091] The inside of the analog circuit where invention according to claim 9 was formed in the circuit forming face, The power circuit and operational amplifier which are especially easy to be influenced of a noise, a comparison amplifier, Since the semiconductor chip of RF receive section, RF transmitting section, and the RF synthesizer sections arranged so that any one and rewiring layers might not overlap through an insulating layer at least is carried in a semiconductor device It is hard to produce the incorrect actuation which originates in these circuits that are easy to receive the bad influence of a noise most strongly at an electrostatic-induction noise or an electromagnetic-induction noise, and deterioration of a communication link property, and a communication link property can obtain a good semiconductor device.

[0092] Since invention according to claim 10 carries the semiconductor chip arranged so that the coil which is especially easy to be influenced of a noise among the analog circuits formed in the circuit forming face, and rewiring layers might not overlap through an insulating layer, neither an electrostatic-induction noise nor an electromagnetic-induction noise can act on the coil which is easy to receive the bad influence of a noise strongly, but it can obtain a semiconductor device with a good communication link property.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

## [Brief Description of the Drawings]

[Drawing 1] It is the plan of semiconductor chip 1A concerning the example of the 1st operation gestalt.  
 [Drawing 2] It is the A-A cross section of drawing 1.  
 [Drawing 3] It is the plan of semiconductor chip 1B concerning the example of the 2nd operation gestalt.  
 [Drawing 4] It is the plan of semiconductor chip 1C concerning the example of the 3rd operation gestalt.  
 [Drawing 5] It is the B-B cross section of drawing 4.  
 [Drawing 6] It is the plan of semiconductor chip 1D concerning the example of the 4th operation gestalt.  
 [Drawing 7] It is the plan of semiconductor chip 1E concerning the example of the 5th operation gestalt.  
 [Drawing 8] It is the so-called plan of the completion wafer completed through predetermined process processing.  
 [Drawing 9] It is process drawing showing the 1st example of the formation method of a rewiring layer.  
 [Drawing 10] It is the plan of a completion wafer in which the rewiring layer 3 was formed.  
 [Drawing 11] It is process drawing showing the 2nd example of the formation method of a rewiring layer.  
 [Drawing 12] It is the cross section of the semiconductor device concerning the example of the 1st operation gestalt.  
 [Drawing 13] It is the cross section of the semiconductor device concerning the example of the 2nd operation gestalt.  
 [Drawing 14] It is the plan of the booster coil with which the semiconductor device concerning the example of the 2nd operation gestalt is equipped.  
 [Drawing 15] It is the important section cross section of the semiconductor device concerning the example of the 3rd operation gestalt.

## [Drawing 16] It is the plan of a semiconductor chip on chip coil type [ conventional ].

## [Drawing 17] It is the cross section of a semiconductor chip on chip coil type [ conventional ].

## [Drawing 18] It is the plan of a semiconductor chip conventional CSP type.

## [Drawing 19] It is the cross section of a semiconductor chip conventional CSP type.

## [Drawing 20] It is explanatory drawing of the parasitic capacitance formed between the circuit section of a semiconductor chip, and antenna coil.

## [Description of Notations]

- 1A-1E Semiconductor chip
- 2 Insulating Layer
- 3 Rewiring Layer
- 4 Antenna Coil
- 6 Wiring for Bump Formation
- 11 Power Circuit
- 12 Operational Amplifier
- 13 Comparison Amplifier
- 14 RF Receive Section
- 15 RF Transmitting Section
- 16 RF Synthesizer Section
- 21 Analog Circuit
- 40, 50, 60 Semiconductor device

---

[Translation done.]

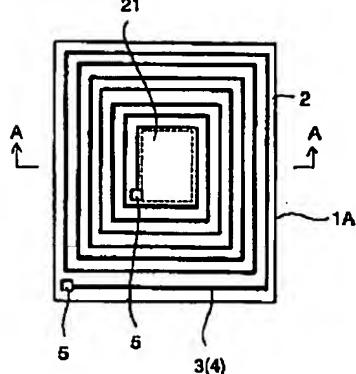
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

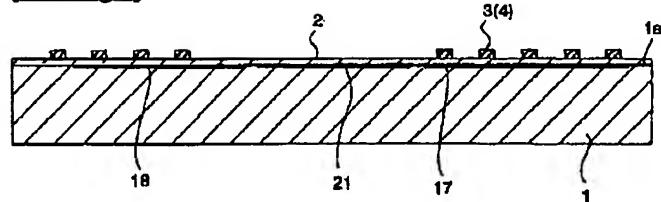
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

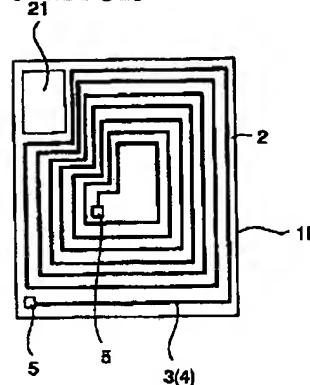
## [Drawing 1]



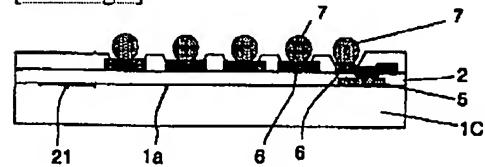
## [Drawing 2]



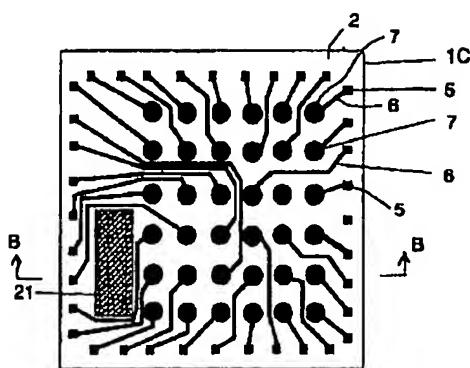
## [Drawing 3]



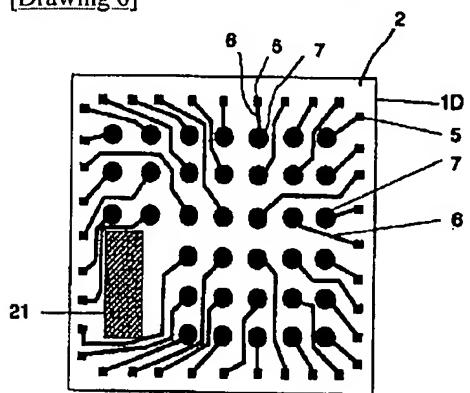
## [Drawing 5]



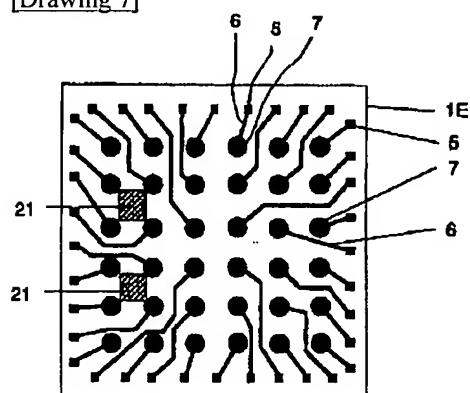
## [Drawing 4]



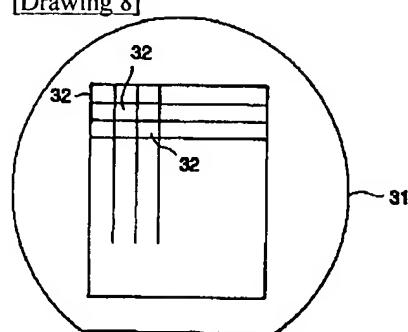
[Drawing 6]



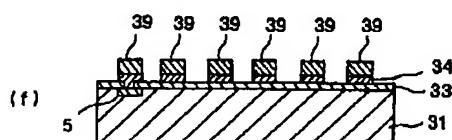
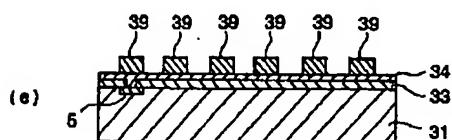
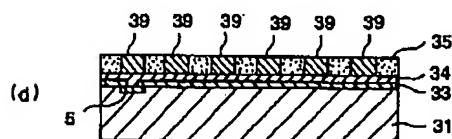
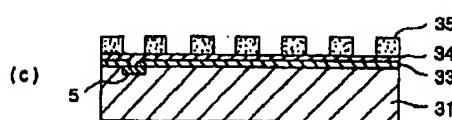
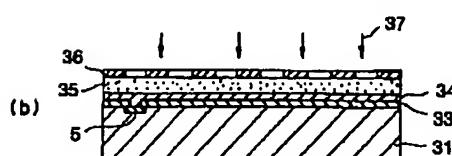
[Drawing 7]



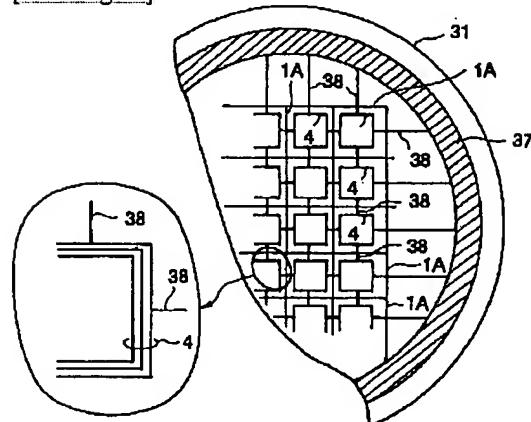
[Drawing 8]



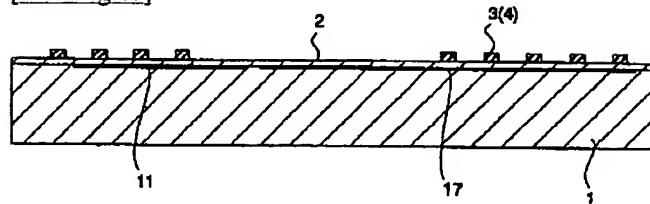
[Drawing 9]



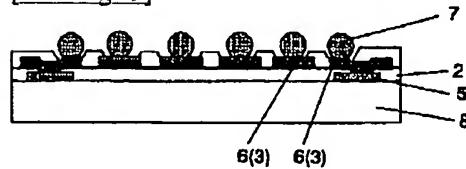
[Drawing 10]



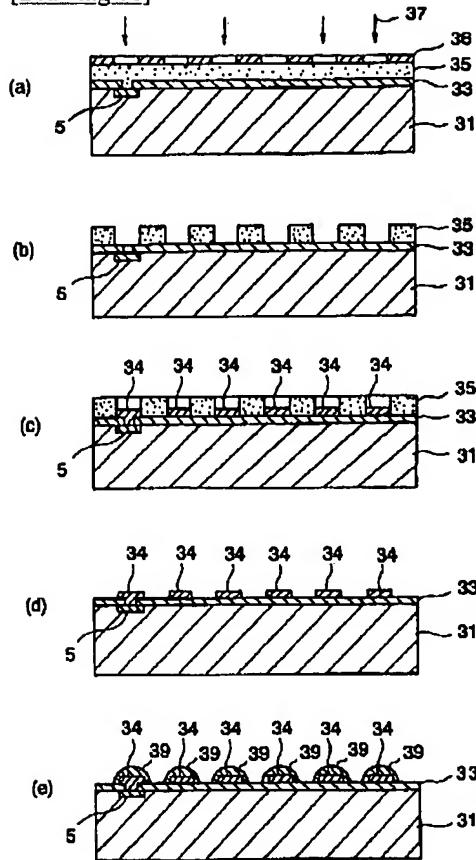
[Drawing 17]



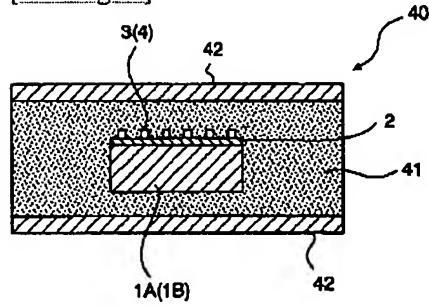
[Drawing 19]



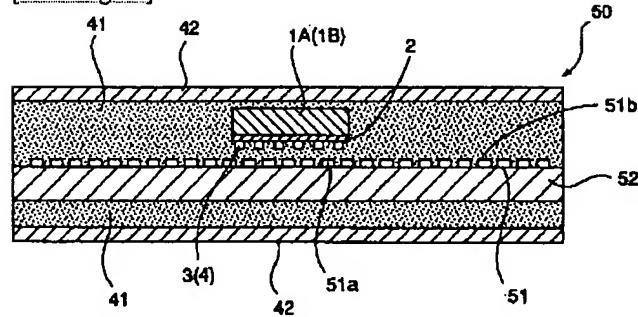
## [Drawing 11]



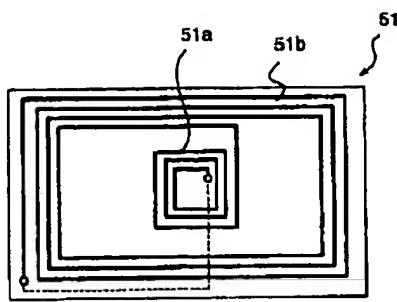
## [Drawing 12]



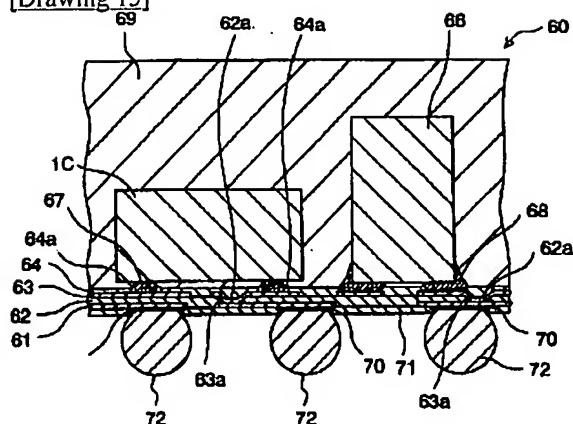
## [Drawing 13]



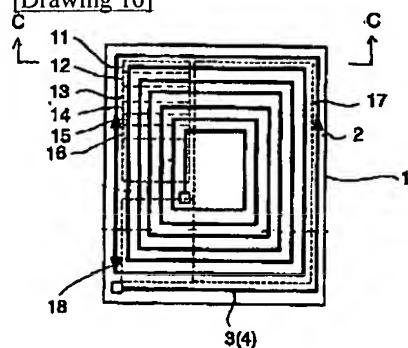
## [Drawing 14]



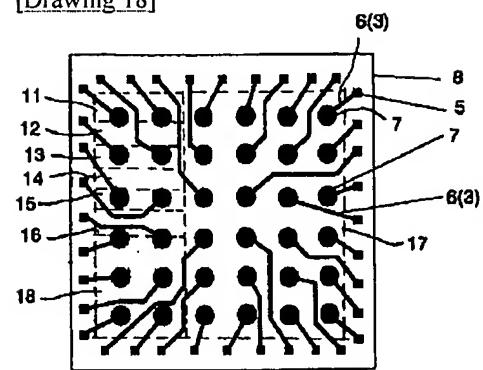
[Drawing 15]



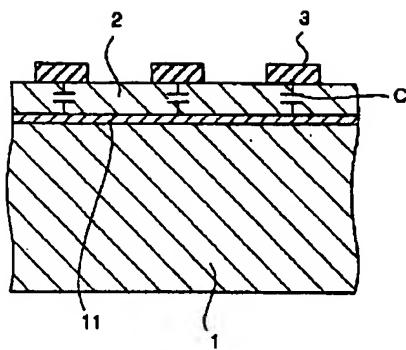
[Drawing 16]



[Drawing 18]



[Drawing 20]



---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## CORRECTION OR AMENDMENT

[Official Gazette Type] Printing of amendment by the convention of 2 of Article 17 of patent law

[Section partition] The 2nd partition of the 7th section

[Date of issue] August 30, Heisei 14 (2002. 8.30)

[Publication No.] JP,2002-83894,A (P2002-83894A)

[Date of Publication] March 22, Heisei 14 (2002. 3.22)

[Year copy format] Open patent official report 14-839

[Filing Number] Application for patent 2001-167022 (P2001-167022)

[The 7th edition of International Patent Classification]

H01L 23/12 301

501

G06K 19/07

19/077

[FI]

H01L 23/12 301 C

501 P

501 S

N

G06K 19/00

K

H

[Procedure revision]

[Filing Date] June 6, Heisei 14 (2002.6.6)

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] The name of invention

[Method of Amendment] Modification

[Proposed Amendment]

[Title of the Invention] Semiconductor chip

[Procedure amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Modification

[Proposed Amendment]

[Claim(s)]

[Claim 1] In a semiconductor chip which really comes in piles to form a rewiring layer in a circuit formation field which has a digital circuit and an analog circuit through an insulating layer. While both ends form antenna coil for a non-contact communication link connected to an input/output terminal formed in said circuit formation field with wiring formed in said rewiring layer. A semiconductor chip characterized by arranging all or some of analog circuits which is easy to be influenced of a noise formed in said circuit formation field, and wiring formed in said rewiring layer so that it may not overlap through said insulating layer.

1. Amendment August 30, Heisei 14 (2002)

[Translation done.]